

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: KER, Ming-Dou et al. Conf.:  
Appl. No.: NEW Group:  
Filed: June 23, 2003 Examiner:  
For: DEVICES WITHOUT CURRENT CROWDING EFFECT  
AT THE FINGER'S ENDS

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

June 23, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

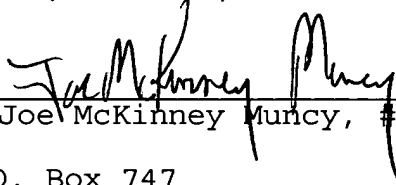
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	091121370	September 18, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

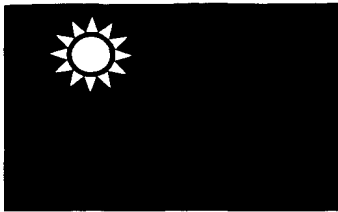
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By   
Joe McKinney Muncy, #32,334

KM/sll  
0941-0759P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)



KER, Ming-Dou et al.

June 23, 2003

BSKB:LLP

(703, 205-300)

04-07-32

10F1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 18 日  
Application Date

申請案號：091121370  
Application No.

申請人：世界先進積體電路股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 9 日  
Issue Date

發文字號：09220559430  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	靜電放電防護裝置
	英 文	
二、 發明人	姓 名 (中文)	1. 柯明道 2. 林耿立 3. 徐新智
	姓 名 (英文)	1. Ming-Dou KER 2. Geeng-Lih LIN 3. Hsin-Chyh HSU
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市東區高峰里8鄰寶山路200巷3號4樓之3 2. 新竹縣竹東鎮中興路2段658巷10弄1號6樓之1 3. 桃園縣平鎮市承德路11號
三、 申請人	姓 名 (名稱) (中文)	1. 世界先進積體電路股份有限公司
	姓 名 (名稱) (英文)	1. Vanguard International Semiconductor Corporation
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹縣園區三路123號
	代表人 姓 名 (中文)	1. 張忠謀
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：靜電放電防護裝置)

本發明提供一種新的靜電放電防護(ESD)元件結構與佈局方式，改變ESD電流路徑的方法，來提昇元件的ESD耐受能力。本發明係在互補金氧半導體(CMOS)製程技術上，提出六種方法，包括假閘極嵌入作用區元件、部分作用區無N型離子佈植元件、部分作用區嵌入淺溝槽絕緣層元件、部份作用區靜電放電佈植元件、部分作用區嵌入N型井元件、以及閘極彎曲元件。利用本發明所提出的方法，能夠有效改善靜電放電防護元件均勻導通效率，快速排放靜電放電的瞬間大電流，尤其是能夠顯著提昇積體電路產品對機器模式(Machine Model)靜電放電的耐受力。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

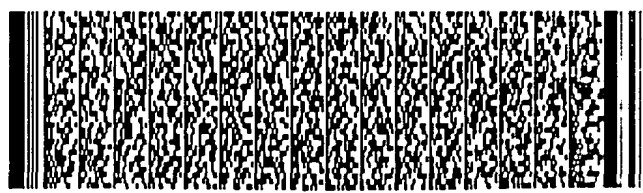
無

## 五、發明說明 (1)

本發明係有關於一種靜電放電防護裝置，特別有關於一種改變靜電放電(ESD)電流路徑的方法，來提昇元件的ESD耐受能力之靜電放電防護元件結構。

因靜電放電所造成之元件損害對積體電路產品來說已經成為最主要的可靠度問題之一。尤其是隨著尺寸不斷地縮小至深次微米之程度，金氧半導體中之閘極氧化層也越來越薄，積體電路更容易因靜電放電現象而遭受破壞。在一般的工業標準中，積體電路產品之輸出入接腳(I/O pin)必需能夠通過2000伏特以上之人體模式靜電放電測試以及200伏特以上之機械模式靜電放電測試。因此，在積體電路產品中，靜電放電防護元件必需設置在所有輸出入鉗墊(pad)附近，以保護內部之核心電路(core circuit)不受靜電放電電流之侵害。

為能承受足夠高的靜電放電耐受能力，靜電放電防護元件之尺寸面積通常很大，並會使用指狀(finger-type)佈局之方式來節省佈局面積。第1A圖顯示了一傳統靜電放電防護元件之指狀佈局示意圖，第1B圖則顯示了第1A圖中沿線AA'或BB'切割之剖面圖。其係形成於一P型矽基底11上，包括了一定義出作用區(active area)12之淺溝槽絕緣層13、由P型摻雜區形成而包圍於淺溝槽絕緣層13外之護環(guard ring)14、兩條由多晶矽層151、閘極氧化層152及分離子(spacer)153組成之閘極15、以及位於兩條閘極15中間及兩側且由N型摻雜區形成之汲極區161及源極區162。閘極、源極區及基體通常為接地，而汲極區則連接



## 五、發明說明 (2)

至輸出入鉗墊。靜電放電防護元件之設計係利用金氧半導體之寄生側向NPN雙載子接面電晶體(BJT)來排放瞬間靜電放電所產生之高電流。第2A及2B圖分別顯示了一N型金氧半導體(NMOS)之結構及等效電路。其汲極22被視為集極，基底21做為基極，而源極23則被視為射極。在靜電放電產生時，在汲極22產生之高電場使得汲極22與基底21間之NP接面進入崩潰狀態(avalanche breakdown)，而產生大量之電子-電洞對。因電洞之移動而產生之電流將使基底21與源極23間之PN接面產生順偏。同時，在基底電阻 $R_{sub}$ 兩端產生之電壓差亦會使此寄生側向雙載子接面電晶體之基極-射極壓差增大，導致其進入如第3圖中電流-電壓曲線中之跳通(snap back)狀態區域。如此，寄生之側向雙載子接面電晶體便開始導通來排放大量之靜電放電電流。

第4A及4B圖顯示了另一種傳統靜電放電防護元件結構之上視圖與剖面圖。其與第1A及1B圖不同的是，其閘極45在沿線BB'附近具有較窄之寬度。因此，沿線BB'附近區域之總體基底電阻係遠大於沿線AA'附近區域之總體基底電阻。這將使得沿線BB'附近區域之寄生側向雙載子接面電晶體較沿線AA'附近區域之寄生側向雙載子接面電晶體提前導通電流，而使得大量在集極產生之電流由沿線BB'附近區域開始擴散開。沿線BB'附近區域之寄生雙載子接面電晶體可以提供較大的有效面積來導通靜電放電電流，因此其具有較高的人體模式靜電放電能力。然而，在機械模

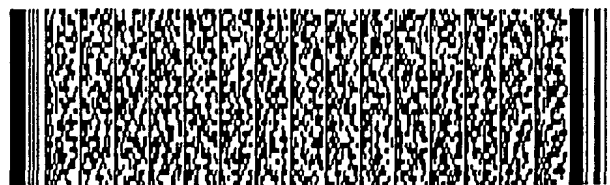


### 五、發明說明 (3)

式之靜電放電下，汲極所承受之電流量將高達3~4安培(外加200伏特之靜電電壓時)，即使是在第4A及4B圖所顯示之結構下，此一高電流仍然會造成在閘極指兩端或是角落處(即沿線AA'附近之區域)受損。此現象之主要原因在於機械模式下之靜電放電電流係人體模式之靜電放電電流之三至四倍。雖然沿線AA'附近區域之電阻小於沿線BB'附近之區域，但在沿線AA'附近區域之汲極與基底接面之崩潰電流大小仍然足以使該區域之寄生雙載子接面電晶體呈現順偏而開始導通電流。因此，在機械模式下，瞬間大量的電流仍然聚集於線AA'附近區域而導致此區域受損，此種損傷之照片已經在某靜電放電防護設計之課程講義中被發表出來。

為了解決上述問題，本發明提供一種靜電放電防護裝置，可避免傳統結構中易在閘極兩端或角落處易受靜電放電侵害，而增強互補金氧半導體電路產品之機械模式靜電放電耐受力，

本發明之第一目的在於提供一種靜電放電防護裝置，包括：一基底；一絕緣層，位於該基底，並包圍形成一作用區；一第一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；一第二閘極，位於該第一閘極之一第一側並靠近該第一閘極之該第一端；以及一第一及第二摻雜區，分別位於該第一閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第一摻雜區在該第二閘極下方具有一不連續區。





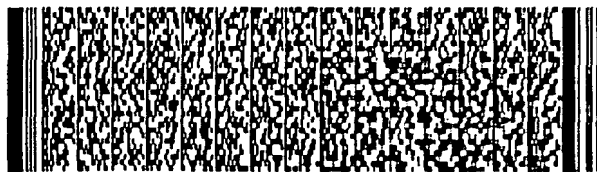
#### 五、發明說明 (4)

本發明之第二目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一第一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；一第二閘極，位於該第一閘極之一第二側並靠近該第一閘極之該第一端；以及一第一及第二摻雜區，分別位於該第一閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第二摻雜區在該第二閘極下方具有一不連續區。

本發明之第三目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第一摻雜區在靠近該閘極之該第一端處具有一不連續區。

本發明之第四目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第二摻雜區在靠近該閘極之該第一端處具有一不連續區。

本發明之第五目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用



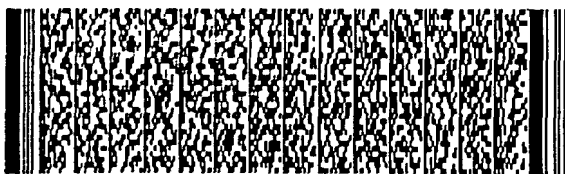
#### 五、發明說明 (5)

區；一開極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及一第一及第二摻雜區，分別位於該開極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；其中，該絕緣層於該開極之該第一端處具有一突出部突入該第一摻雜區中。

本發明之第六目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一開極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及一第一及第二摻雜區，分別位於該開極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；其中，該絕緣層於該開極之該第一端處具有一突出部突入該第二摻雜區中。

本發明之第七目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一開極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及一第一及第二摻雜區，分別位於該開極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；其中，該絕緣層於該開極之該第一端之下方具有一突出部突入該第一及第二摻雜區中。

本發明之第八目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一開極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；一第一及第二摻



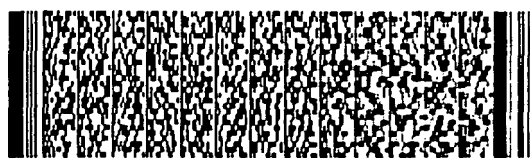
## 五、發明說明 (6)

雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；以及一第三摻雜區，位於該第一及第二摻雜區下方靠近該閘極之該第一端處，其摻雜濃度小於該第一及第二摻雜區之摻雜濃度。

本發明之第九目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；以及一井區，位於該第一摻雜區下方靠近該閘極之該第一端處。

本發明之第十目的在於提供一種靜電放電防護裝置，包括一基底；一絕緣層，位於該基底，並包圍形成一作用區；一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；其中，該閘極之一中間部向該第一摻雜區突入，使靠近該閘極之該第一與第二端之該第一摻雜區寬度大於靠近該閘極中間部之該第一摻雜區寬度。

藉此，本發明利用了假閘極嵌入作用區元件、部分作用區無N型離子佈植元件、部分作用區嵌入淺溝槽絕緣層元件、部份作用區靜電放電佈植元件、部分作用區嵌入N型井元件、以及閘極彎曲元件等六種不同的結構，可顯著



## 五、發明說明 (7)

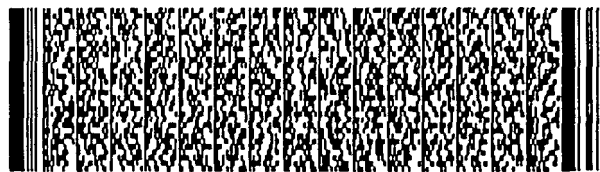
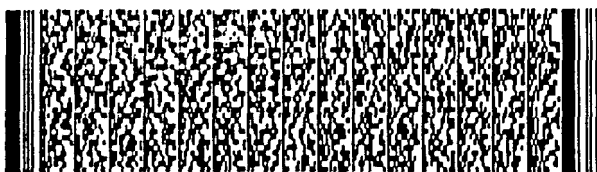
提昇積體電路產品對機器模式靜電放電的耐受力。

以下，就圖式說明本發明之靜電放電防護裝置之各種實施例。

### 第一實施例

第5A及5B圖分別顯示了本發明第一實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。其中包括P型矽基底51、淺溝槽絕緣層(STI)52、由P型摻雜區形成且包圍淺溝槽絕緣層52之護環50、閘極531及532、假閘極(dummy gate)541~544、由N型摻雜區形成之汲極及源極區551、552。淺溝槽絕緣層52位於基底51並包圍形成作用區56。閘極531及532具有與淺溝槽絕緣層52重疊之兩端而橫跨作用區56，並電性耦接至一接地點或一輸出前置級(pre-driver，其亦可做為輸出級元件(output buffer)使用，其閘極不一定接地)。假閘極541~544位於閘極531、532之一側並靠近閘極531、532之兩端，每一假閘極541~544之一端與淺溝槽絕緣層52重疊。汲極及源極摻雜區551、552分別位於閘極531、532之間及兩側，且分別耦接至一鐸墊及接地點。汲極摻雜區551在假閘極541~544下方具有不連續區571~574。每一閘極531、532或假閘極541~544均由一導電之多晶矽層581、位於多晶矽層581下方之閘極氧化層(氧化矽層)582、以及位於多晶矽層581及閘極氧化層582兩側之分離子(氧化矽層)583所組成。

在第一實施例中，此結構形成之寄生雙載子接面電晶體之基極寬度係直接與NMOS之閘極長度有關，且通道



## 五、發明說明 (8)

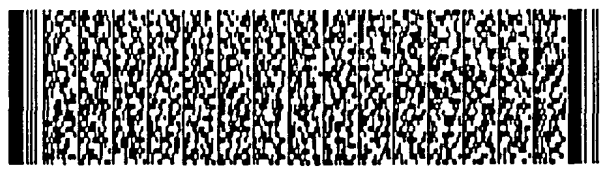
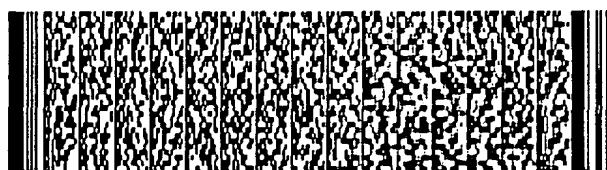
(channel)越長之電晶體具有越低之導通效率。假閘極541~544係用以增加沿線AA'附近區域寄生雙載子接面電晶體之等效基極寬度來降低其導通效率。由於沿線BB'附近區域寄生雙載子接面電晶體之基極寬度較小，所以其具有較好之導通效率，能夠較沿線AA'附近區域之寄生雙載子接面電晶體更早開始導通電流。因此，本結構在機械模式靜電放電發生時，可促使靜電放電電流流向大面積的BB'區域，因而提昇該元件對機械模式靜電放電的耐受能力。另一方面，由於用以導通靜電放電電流之面積並不受假閘極541~544加入的影響，因此並不會減弱人體模式下靜電放電之耐受力。

### 第二實施例

第6A及6B圖分別顯示了本發明第二實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。與第一實施例不同的是，假閘極541~544係位於源極摻雜區552上，而使得不連續區571~574於源極摻雜區552中產生。第二實施例與第一實施例具有相同之靜電放電防護表現。

### 第三實施例

第7A及7B圖分別顯示了本發明第三實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。其中包括P型矽基底71、淺溝槽絕緣層72、由P型摻雜區形成且包圍淺溝槽絕緣層72之護環70、閘極731及732、由N型摻雜區形成之汲極及源極區751、752。淺溝槽絕緣層72位於基底71並包圍形成作用區76。閘極731及732具有與淺溝槽絕緣層72



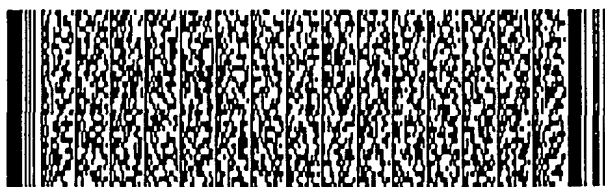
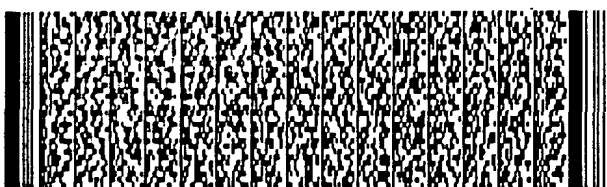
#### 五、發明說明 (9)

重疊之兩端而橫跨作用區76，並電性耦接至一接地點或一輸出前置級。汲極及源極摻雜區751、752分別位於閘極731、732之間及兩側，且分別耦接至一鉀墊及接地點。在汲極摻雜區751中，靠近閘極731、732之兩端分別有與淺溝槽絕緣層72連接之不連續區741~744。此不連續區係利用佈局方法，使該區不被n+佈植(n+ implantation)，因而形成一不連續的n+擴散區域。此方法可相容於一般之互補金氧半導體(CMOS)之製程步驟。每一閘極731、732均由一導電之多晶矽層781、位於多晶矽層781下方之閘極氧化層(氧化矽層)782、以及位於多晶矽層781及閘極氧化層782兩側之分離子(氧化矽層)783所組成。

在第三實施例中，此結構係增加沿線AA'附近區域之電阻而降低其寄生雙載子接面電晶體之導通效率，使得在機械模式靜電放電電流產生時，流向沿線BB'附近區域之機會大增。因此，本結構可以使機械模式下之靜電放電電流流經面積較大之區域，而提昇其機械模式靜電放電之耐受力。另一方面，由於用以導通靜電放電電流之面積並不受該些在汲極摻雜區內之不連續區的影響，因此並不會減弱人體模式下靜電放電之耐受力。

#### 第四實施例

第8A及8B圖分別顯示了本發明第四實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。與第三實施例不同的是，不連續區741~744係位於源極摻雜區752中。第四實施例與第三實施例具有相同之靜電放電防護表現。



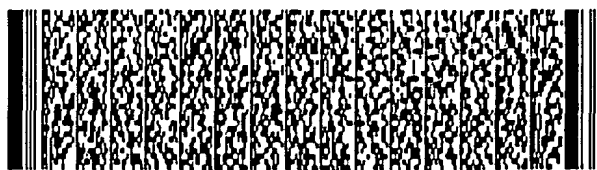
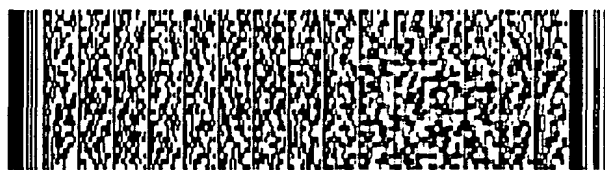
## 五、發明說明 (10)

### 第五實施例

第9A及9B圖分別顯示了本發明第五實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。其中包括P型矽基底91、淺溝槽絕緣層(STI)92、由P型摻雜區形成且包圍淺溝槽絕緣層92之護環90、閘極931及932、由N型摻雜區形成之汲極及源極區951、952。淺溝槽絕緣層92位於基底91並包圍形成作用區96。閘極931及932具有與淺溝槽絕緣層92重疊之兩端而橫跨作用區96，並電性耦接至一接地點或一輸出前置級。汲極及源極摻雜區951、952分別位於閘極931、932之間及兩側，且分別耦接至一鉑墊及接地點。淺溝槽絕緣層92於閘極931及932之兩端處具有突出部941~944突入該汲極摻雜區951中。每一閘極931、932均由一導電之多晶矽層981、位於多晶矽層981下方之閘極氧化層(氧化矽層)982、以及位於多晶矽層981及閘極氧化層982兩側之分離子(氧化矽層)983所組成。

在第五實施例中，此結構亦降低了沿線AA'附近區域之寄生雙載子接面電晶體之導通效率，使得機械模式下之靜電放電電流，因沿線BB'附近區域之寄生雙載子接面電晶體之導通較快，而流經面積較大之BB'附近區域，具有一較好之機械模式靜電放電耐受力。另一方面，由於用以導通靜電放電電流之面積並不受淺溝槽絕緣層92突出部941~944的影響，因此並不會減弱人體模式下靜電放電之耐受力。

### 第六實施例



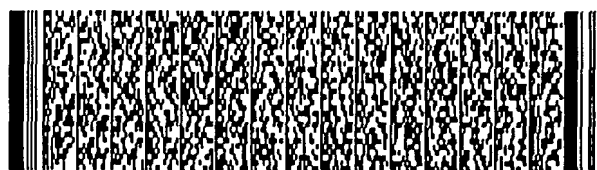
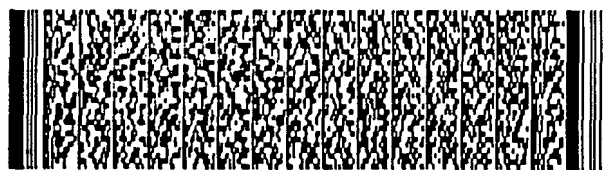
## 五、發明說明 (11)

第10A及10B圖分別顯示了本發明第六實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。與第五實施例不同的是，淺溝槽絕緣層92之突出部941~944係突入源極摻雜區952中。第六實施例與第五實施例具有相同之靜電放電防護表現。

### 第七實施例

第11A及11B圖分別顯示了本發明第七實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。第11A及11B圖中與第9A及9B圖中相同的元件使用相同之符號。其中包括P型矽基底91、淺溝槽絕緣層(STI)92、由P型摻雜區形成且包圍淺溝槽絕緣層92之護環90、閘極931及932、由N型摻雜區形成之汲極及源極區951、952。淺溝槽絕緣層92位於基底91並包圍形成作用區96。閘極931及932具有與淺溝槽絕緣層92重疊之兩端而橫跨作用區96，並電性耦接至一接地點或一輸出前置級。汲極及源極摻雜區951、952分別位於閘極931、932之間及兩側，且分別耦接至一鉀墊及接地點。淺溝槽絕緣層92於閘極931及932之兩端處具有突出部991~994，自閘極931及932之下方同時突入汲極及源極摻雜區951、952中。每一閘極931、932均由一導電之多晶矽層981、位於多晶矽層981下方之閘極氧化層(氧化矽層)982、以及位於多晶矽層981及閘極氧化層982兩側之分離子(氧化矽層)983所組成。

在第七實施例中，此結構亦降低了沿線AA'附近區域之寄生雙載子接面電晶體之導通效率，使得機械模式下之



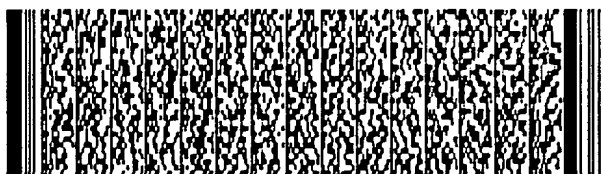
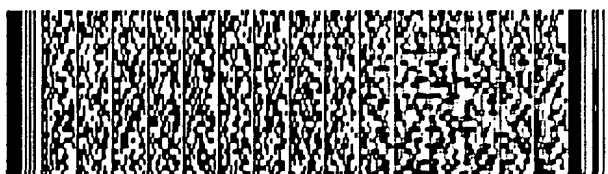


## 五、發明說明 (12)

靜電放電電流，因沿線BB'附近區域之寄生雙載子接面電晶體之導通較快，而流經面積較大之BB'附近區域，具有一較好之機械模式靜電放電耐受力。另一方面，由於用以導通靜電放電電流之面積並不受淺溝槽絕緣層92突出部991~994的影響，因此並不會減弱人體模式下靜電放電之耐受力。

### 第八實施例

第12A及12B圖分別顯示了本發明第八實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。第12A及12B圖中與第5A及5B圖中相同的元件使用相同之符號。其中包括P型矽基底51、淺溝槽絕緣層(STI)52、由P型摻雜區形成且包圍淺溝槽絕緣層52之護環50、閘極531及532、由N型摻雜區形成之汲極及源極區551、552、以及靜電放電離子植入區591、592。淺溝槽絕緣層52位於基底51並包圍形成作用區56。閘極531及532具有與淺溝槽絕緣層52重疊之兩端而橫跨作用區56，並電性耦接至一接地點或一輸出前置級。汲極及源極摻雜區551、552分別位於閘極531、532之間及兩側，且分別耦接至一鉀墊及接地點。靜電放電離子植入區591、592係N型淡摻雜區，位於汲極及源極摻雜區551、552下方靠近閘極531、532兩端，其摻雜濃度小於汲極及源極摻雜區551、552之摻雜濃度。每一閘極531、532均由一導電之多晶矽層581、位於多晶矽層581下方之閘極氧化層(氧化矽層)582、以及位於多晶矽層581及閘極氧化層582兩側之分離子(氧化矽層)583所組成。



## 五、發明說明 (13)

在第八實施例中，由於淡摻雜區591、592之存在降低了集極至基極PN接合面間摻雜離子濃度之差異，因此其接合面崩潰電壓會因淡摻雜區591、592之存在而增加。然而在沿線BB'附近區域中，其接合面之崩潰電壓並沒有改變，而較有淡摻雜區591、592存在區域之崩潰電壓小。在靜電放電發生時，將從BB'附近區域中具有最小崩潰電壓接合面處開始導通靜電放電電流。由於BB'附近區域可以提供較大的面積，因此此結構可具有較高之機械模式靜電放電耐受力。另一方面，由於用以導通靜電放電電流之面積並不受淡摻雜區加入的影響，因此並不會減弱人體模式下靜電放電之耐受力。

### 第九實施例

第13A及13B圖分別顯示了本發明第九實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。第13A及13B圖中與第5A及5B圖中相同的元件使用相同之符號。其中包括P型矽基底51、淺溝槽絕緣層(STI)52、由P型摻雜區形成且包圍淺溝槽絕緣層52之護環50、閘極531及532、由N型摻雜區形成之汲極及源極區551、552、以及N型井區593、594。淺溝槽絕緣層52位於基底51並包圍形成作用區56。閘極531及532具有與淺溝槽絕緣層52重疊之兩端而橫跨作用區56，並電性耦接至一接地點或一輸出前置級。汲極及源極摻雜區551、552分別位於閘極531、532之間及兩側，且分別耦接至一鉀墊及接地點。N型井區593、594位於汲極及源極摻雜區551、552下方靠近閘極531、532兩端



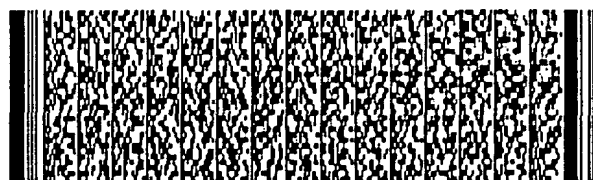
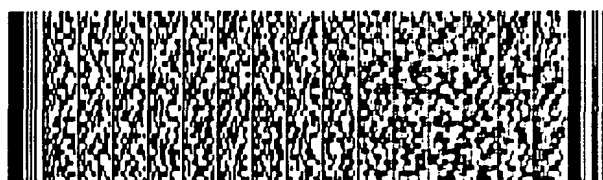
#### 五、發明說明 (14)

處。每一閘極531、532均由一導電之多晶矽層581、位於多晶矽層581下方之閘極氧化層(氧化矽層)582、以及位於多晶矽層581及閘極氧化層582兩側之分離子(氧化矽層)583所組成。

在第九實施例中，由於N型井區593、594大幅降低了寄生雙載子接面電晶體集極至基極NP接合面間摻雜離子濃度之差異，因此其接合面崩潰電壓會因N型井區593、594之存在而增加。然而在沿線BB'附近區域中，其接合面之崩潰電壓並沒有改變，而較有N型井區593、594存在區域之崩潰電壓小。在靜電放電發生時，將從BB'附近區域中具有最小崩潰電壓接合面處開始導通靜電放電電流。由於BB'附近區域可以提供較大的面積，因此此結構可具有較高之機械模式靜電放電耐受力。另一方面，由於用以導通靜電放電電流之面積並不受N型井區加入的影響，因此並不會減弱人體模式下靜電放電之耐受力。

#### 第十實施例

第14A及14B圖分別顯示了本發明第十實施例中之靜電放電防護裝置之上視圖及沿線AA'之剖面圖。第14A及14B圖中與第5A及5B圖中相同的元件使用相同之符號。其中包括P型矽基底51、淺溝槽絕緣層(STI)52、由P型摻雜區形成且包圍淺溝槽絕緣層52之護環50、閘極531及532、由N型摻雜區形成之汲極及源極區551、552。淺溝槽絕緣層52位於基底51並包圍形成作用區56。汲極及源極摻雜區551、552分別位於閘極531、532之間及兩側，且分別耦接



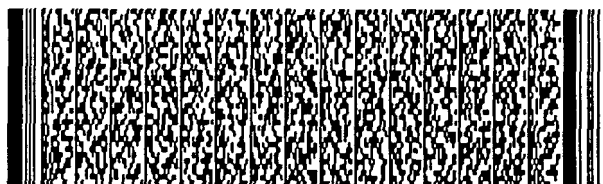
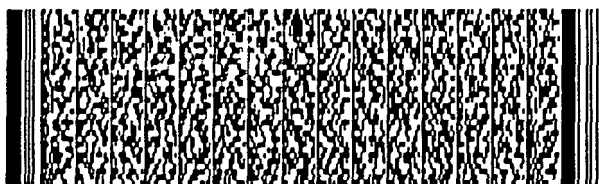
##### 五、發明說明 (15)

至一鉅墊及接地點。閘極531及532具有與淺構槽絕緣層51重疊之兩端而橫跨作用區56，並電性耦接至一接地點或一輸出前置級。此外，閘極531、532之中間部向汲極摻雜區551以特定角度彎曲突入，使靠近閘極531、532兩端之汲極摻雜區551寬度大於靠近閘極531、532中間部之汲極摻雜區551之寬度。閘極每一閘極531、532均由一導電之多晶矽層581、位於多晶矽層581下方之閘極氧化層(氧化矽層)582、以及位於多晶矽層581及閘極氧化層582兩側之分離子(氧化矽層)583所組成。

在第十實施例中，由於在AA'附近區域之汲極接觸窗(drain contact)離閘極531、532邊緣之距離(DGS)較長，因此在AA'附近區域之寄生雙載子接面電晶體之等效基極間距將增加。由於具有較大之基極間距，在AA'附近區域之寄生雙載子接面電晶體將具有較慢之導通速度及較低之電流增益。如此使得靜電放電電流較易流向BB'附近區域而使其寄生雙載子接面電晶體導通，進而使得此結構可以使用較大面積之區域導通靜電放電電流，而具有較佳之機械模式靜電放電耐受力。另一方面，由於用以導通靜電放電電流之面積並不受閘極彎曲的影響，因此並不會減弱人體模式下靜電放電之耐受力。

上述之第一至第十實施例中，係以NMOS為例，其亦適用於PMOS之中，或適用於電壓混合式輸出入界面(mixed voltage I/O)之堆疊式(stacked)NMOS及PMOS之中。

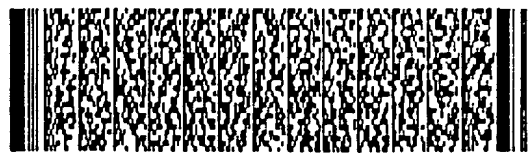
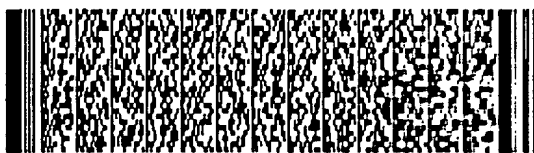
綜合上述，本發明提供了一種新的靜電放電防護裝



##### 五、發明說明 (16)

置，可應用於深次微米之金氧半導體電路中，提昇機械模式下靜電放電之防護能力。在本發明中，PMOS與NMOS裝置中靜電放電之路徑被改變而可以增強其靜電放電防護能力。本發明提出了六種新的結構來防止電流聚集於閘極兩端或角落處之側向雙載子接面電晶體，使得機械模式下之靜電放電電流可以流經靠近閘極中間部位而具有較大面積之汲極區，而非閘極兩端之角落區域。此外，本發明之結構並不會降低其對人體模式靜電放電之耐受力。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

### 圖式簡單說明

第1A及1B圖分別顯示了一傳統靜電放電防護元件之上視圖與剖面圖；

第2A及2B圖分別顯示了一N型金氧半導體(NMOS)之結構及等效電路；

第3圖顯示了一N型金氧半導體(NMOS)之崩潰電壓-電流曲線圖；

第4A及4B圖分別顯示了另一種傳統靜電放電防護元件結構之上視圖與剖面圖；

第5A及5B圖分別顯示了本發明第一實施例中之靜電放電防護裝置之上視圖與剖面圖；

第6A及6B圖分別顯示了本發明第二實施例中之靜電放電防護裝置之上視圖與剖面圖；

第7A及7B圖分別顯示了本發明第三實施例中之靜電放電防護裝置之上視圖與剖面圖；

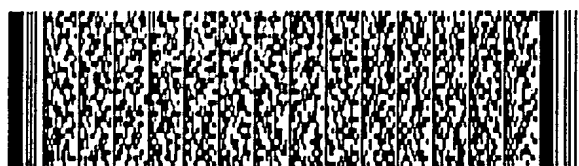
第8A及8B圖分別顯示了本發明第四實施例中之靜電放電防護裝置之上視圖與剖面圖；

第9A及9B圖分別顯示了本發明第五實施例中之靜電放電防護裝置之上視圖與剖面圖；

第10A及10B圖分別顯示了本發明第六實施例中之靜電放電防護裝置之上視圖與剖面圖；

第11A及11B圖分別顯示了本發明第七實施例中之靜電放電防護裝置之上視圖與剖面圖；

第12A及12B圖分別顯示了本發明第八實施例中之靜電



# 圖式簡單說明

放電防護裝置之上視圖與剖面圖；

第13A及13B圖分別顯示了本發明第九實施例中之靜電放電防護裝置之上視圖與剖面圖；

第14A及14B圖分別顯示了本發明第十實施例中之靜電放電防護裝置之上視圖與剖面圖。

## [ 符號說明 ]

11、21、51、71、91~基底；

12、56、76、96~作用區；

13、52、72、92~淺溝槽絕緣層；

14、50、70、90~護環；

151、581、781、981~多晶矽層；

152、582、782、982~閘極氧化層；

153、583、783、983~分離子；

15、45、531、532、731、732、931、932~閘極；

161、22、551、751、951~汲極區；

162、23、553、753、953~源極區；

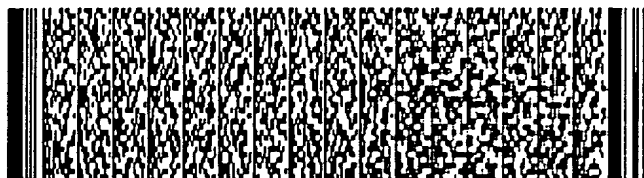
541-544~假閘極；

571-574、741-744~不連續區；

941-944、991-994~突出部；

591、592~靜電放電離子植入區；

593、594~N型井區。



## 六、申請專利範圍

### 1. 一種靜電放電防護裝置，包括：

- 一基底；
- 一絕緣層，位於該基底，並包圍形成一作用區；
- 一第一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；
- 一第二閘極，位於該第一閘極之一第一側並靠近該第一閘極之該第一端；以及
- 一第一及第二摻雜區，分別位於該第一閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第一摻雜區在該第二閘極下方具有一不連續區。

2. 如申請專利範圍第1項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

3. 如申請專利範圍第1項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

4. 如申請專利範圍第1項所述之靜電放電防護裝置，其中更包括：

- 一第三閘極，位於該第一閘極之該第一側並靠近該第一閘極之該第二端，該第一摻雜區在該第三閘極下方具有一第二不連續區。

5. 如申請專利範圍第4項所述之靜電放電防護裝置，其中更包括：

- 一第四閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第一及第四閘極之間；





## 六、申請專利範圍

一 第五及第六閘極，位於該第四閘極之一第一側並分別靠近該第四閘極之該第一及第二端，該第一摻雜區在該第五及第六閘極下方分別具有一第三及第四不連續區；以及

一 第三摻雜區，位於該第四閘極之一第二側並電性耦接至該第二節點。

6. 如申請專利範圍第5項所述之靜電放電防護裝置，其中該第二、第三、第五及第六閘極之一端分別與該絕緣層重疊。

7. 如申請專利範圍第5項所述之靜電放電防護裝置，其中每一第一、第二、第三、第四、第五及第六閘極包括：

一 導電層；

一 閘極氧化層，位於該導電層下方；以及

一 第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

8. 如申請專利範圍第7項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

9. 如申請專利範圍第1項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

10. 如申請專利範圍第9項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。



## 六、申請專利範圍

11. 一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一第一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；

一第二閘極，位於該第一閘極之一第二側並靠近該第一閘極之該第一端；以及

一第一及第二摻雜區，分別位於該第一閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第二摻雜區在該第二閘極下方具有一不連續區。

12. 如申請專利範圍第11項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

13. 如申請專利範圍第11項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉅墊。

14. 如申請專利範圍第11項所述之靜電放電防護裝置，其中更包括：

一第三閘極，位於該第一閘極之該第二側並靠近該第一閘極之該第二端，該第二摻雜區在該第三閘極下方具有一第二不連續區。

15. 如申請專利範圍第14項所述之靜電放電防護裝置，其中更包括：

一第四閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第一及第四閘極之間；



## 六、申請專利範圍

一 第五及第六閘極，位於該第四閘極之一第一側並分別靠近該第四閘極之該第一及第二端；以及

一 第三摻雜區，位於該第四閘極之該第一側並電性耦接至該第二節點，該第三摻雜區在該第五及第六閘極下方分別具有一第三及第四不連續區。

16. 如申請專利範圍第15項所述之靜電放電防護裝置，其中該第二、第三、第五及第六閘極之一端分別與該絕緣層重疊。

17. 如申請專利範圍第15項所述之靜電放電防護裝置，其中每一第一、第二、第三、第四、第五及第六閘極包括：

一 導電層；

一 閘極氧化層，位於該導電層下方；以及

一 第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

18. 如申請專利範圍第17項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

19. 如申請專利範圍第11項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

20. 如申請專利範圍第19項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

21. 一種靜電放電防護裝置，包括：



## 六、申請專利範圍

一 基底；

一 絕緣層，位於該基底，並包圍形成一作用區；

一 閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及

一 第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第一摻雜區在靠近該閘極之該第一端處具有一不連續區。

22. 如申請專利範圍第21項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

23. 如申請專利範圍第21項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

24. 如申請專利範圍第21項所述之靜電放電防護裝置，其中該第一摻雜區更在靠近該閘極之該第二端處具有一第二不連續區。

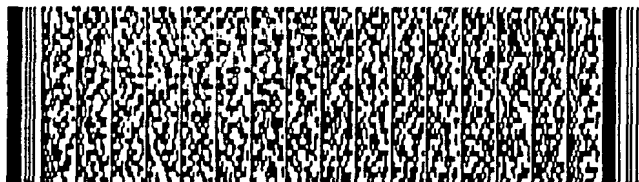
25. 如申請專利範圍第24項所述之靜電放電防護裝置，其中更包括：

一 第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一 第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該第一摻雜區分別在靠近該第二閘極之該第一及第二端處具有一第三及第四不連續區。

26. 如申請專利範圍第25項所述之靜電放電防護裝



## 六、申請專利範圍

置，其中該第一、第二、第三及第四不連續區之一端分別與該絕緣層連接。

27. 如申請專利範圍第26項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

- 一導電層；
- 一閘極氧化層，位於該導電層下方；以及
- 一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

28. 如申請專利範圍第27項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

29. 如申請專利範圍第21項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

30. 如申請專利範圍第29項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

31. 一種靜電放電防護裝置，包括：

- 一基底；
- 一絕緣層，位於該基底，並包圍形成一作用區；
- 一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及
- 一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第二摻雜區在靠近該閘極之該第一端處具有一不連續區。



## 六、申請專利範圍

32. 如申請專利範圍第31項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉀墊。

33. 如申請專利範圍第31項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

34. 如申請專利範圍第31項所述之靜電放電防護裝置，其中該第二摻雜區更在靠近該閘極之該第二端處具有一第二不連續區。

35. 如申請專利範圍第34項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該第二摻雜區分別在靠近該第二閘極之該第一及第二端處具有一第三及第四不連續區。

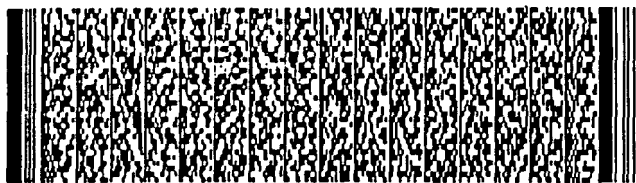
36. 如申請專利範圍第35項所述之靜電放電防護裝置，其中該第一、第二、第三及第四不連續區之一端分別與該絕緣層連接。

37. 如申請專利範圍第36項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧



## 六、申請專利範圍

化層之兩側。

38. 如申請專利範圍第37項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

39. 如申請專利範圍第31項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

40. 如申請專利範圍第39項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

41. 一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；

其中，該絕緣層於該閘極之該第一端處具有一突出部突入該第一摻雜區中。

42. 如申請專利範圍第41項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

43. 如申請專利範圍第41項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

44. 如申請專利範圍第41項所述之靜電放電防護裝置，其中該絕緣層於該閘極之該第二端處更具有一第二突



## 六、申請專利範圍

出部突入該第一摻雜區中。

45. 如申請專利範圍第44項所述之靜電放電防護裝置，其中更包括：

一 第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一 第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該絕緣層於該第二閘極之該第一及第二端處更分別具有一第三及第四突出部突入該第一摻雜區中。

46. 如申請專利範圍第45項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一 導電層；

一 閘極氧化層，位於該導電層下方；以及

一 第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

47. 如申請專利範圍第46項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

48. 如申請專利範圍第41項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

49. 如申請專利範圍第48項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。





## 六、申請專利範圍

50. 一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；

其中，該絕緣層於該閘極之該第一端處具有一突出部突入該第二摻雜區中。

51. 如申請專利範圍第50項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

52. 如申請專利範圍第50項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

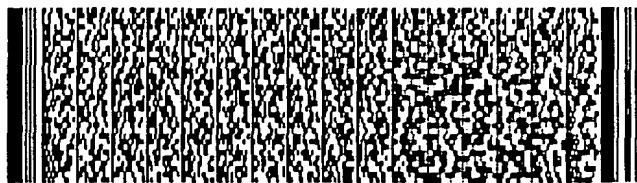
53. 如申請專利範圍第50項所述之靜電放電防護裝置，其中該絕緣層於該閘極之該第二端處更具有一第二突出部突入該第二摻雜區中。

54. 如申請專利範圍第53項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該絕緣層於該第二閘極之該第一及第二端處更



#### 六、申請專利範圍

分別具有一第三及第四突出部突入該第二摻雜區中。

55. 如申請專利範圍第54項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

- 一導電層；
- 一閘極氧化層，位於該導電層下方；以及
- 一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

56. 如申請專利範圍第55項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

57. 如申請專利範圍第50項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

58. 如申請專利範圍第57項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

59. 一種靜電放電防護裝置，包括：

- 一基底；
  - 一絕緣層，位於該基底，並包圍形成一作用區；
  - 一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及
  - 一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；
- 其中，該絕緣層於該閘極之該第一端之下方具有一突出部突入該第一及第二摻雜區中。



## 六、申請專利範圍

60. 如申請專利範圍第59項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

61. 如申請專利範圍第59項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

62. 如申請專利範圍第59項所述之靜電放電防護裝置，其中該絕緣層於該閘極之該第二端下方更具有第一第二突出部突入該第一及第二摻雜區中。

63. 如申請專利範圍第62項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該絕緣層於該第二閘極之該第一及第二端下方更分別具有第一第三及第四突出部突入該第一及第二摻雜區中。

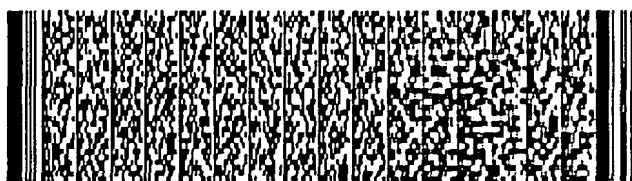
64. 如申請專利範圍第63項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

65. 如申請專利範圍第64項所述之靜電放電防護裝置



#### 六、申請專利範圍

置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

66. 如申請專利範圍第59項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

67. 如申請專利範圍第66項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

68. 一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；

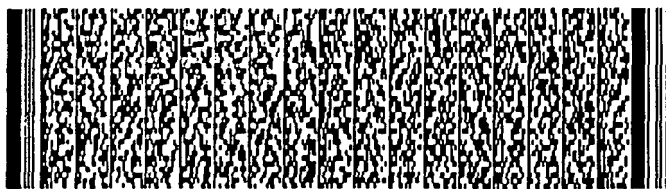
一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；以及

一第三摻雜區，位於該第一及第二摻雜區下方靠近該閘極之該第一端處，其摻雜濃度小於該第一及第二摻雜區之摻雜濃度。

69. 如申請專利範圍第68項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

70. 如申請專利範圍第68項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

71. 如申請專利範圍第68項所述之靜電放電防護裝置，其中更包括一第四摻雜區，位於該第一及第二摻雜區下方靠近該閘極之該第二端處，其摻雜濃度小於該第一及



## 六、申請專利範圍

### 第二摻雜區之摻雜濃度。

72. 如申請專利範圍第71項所述之靜電放電防護裝置，其中更包括：

一 第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一 第五摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該第三摻雜區係位於該第一、第二及第五摻雜區下方靠近該第一及第二閘極之該第一端處，而該第四摻雜區係位於該第一、第二及第五摻雜區下方靠近該第一及第二閘極之該第二端處。

73. 如申請專利範圍第72項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一 導電層；

一 閘極氧化層，位於該導電層下方；以及

一 第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

74. 如申請專利範圍第73項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

75. 如申請專利範圍第68項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第六摻雜區。

76. 如申請專利範圍第75項所述之靜電放電防護裝置



## 六、申請專利範圍

置，其中該基底係P型基底，該第一、第二、第三、第四及第五摻雜區係N型摻雜區，該第六摻雜區係P型摻雜區。

77. 一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；以及

一井區，位於該第一摻雜區下方靠近該閘極之該第一端處。

78. 如申請專利範圍第77項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

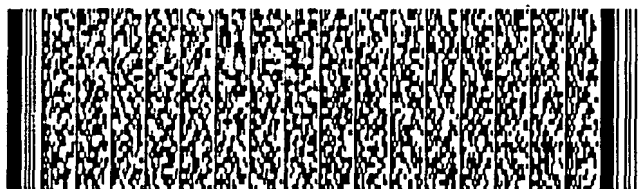
79. 如申請專利範圍第77項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

80. 如申請專利範圍第77項所述之靜電放電防護裝置，其中更包括一第二井區，位於該第一摻雜區下方靠近該閘極之該第二端處。

81. 如申請專利範圍第80項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦



## 六、申請專利範圍

接至該第二節點。

82. 如申請專利範圍第81項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

- 一導電層；
- 一閘極氧化層，位於該導電層下方；以及
- 一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

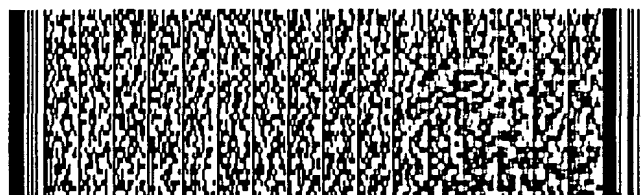
83. 如申請專利範圍第82項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

84. 如申請專利範圍第77項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

85. 如申請專利範圍第84項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二、第三摻雜區及第一、第二井區係N型摻雜區，該第四摻雜區係P型摻雜區。

86. 一種靜電放電防護裝置，包括：

- 一基底；
  - 一絕緣層，位於該基底，並包圍形成一作用區；
  - 一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及
  - 一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；
- 其中，該閘極之一中間部向該第一摻雜區突入，使靠



## 六、申請專利範圍

近該閘極之該第一與第二端之該第一摻雜區寬度大於靠近該閘極中間部之該第一摻雜區寬度。

87. 如申請專利範圍第86項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉀墊。

88. 如申請專利範圍第86項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

89. 如申請專利範圍第86項所述之靜電放電防護裝置，其中更包括：

一 第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一 第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該第二閘極之一中間部向該第一摻雜區突入。

90. 如申請專利範圍第89項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一 導電層；

一 閘極氧化層，位於該導電層下方；以及

一 第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

91. 如申請專利範圍第90項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

92. 如申請專利範圍第86項所述之靜電放電防護裝

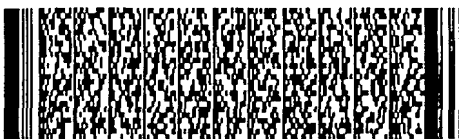


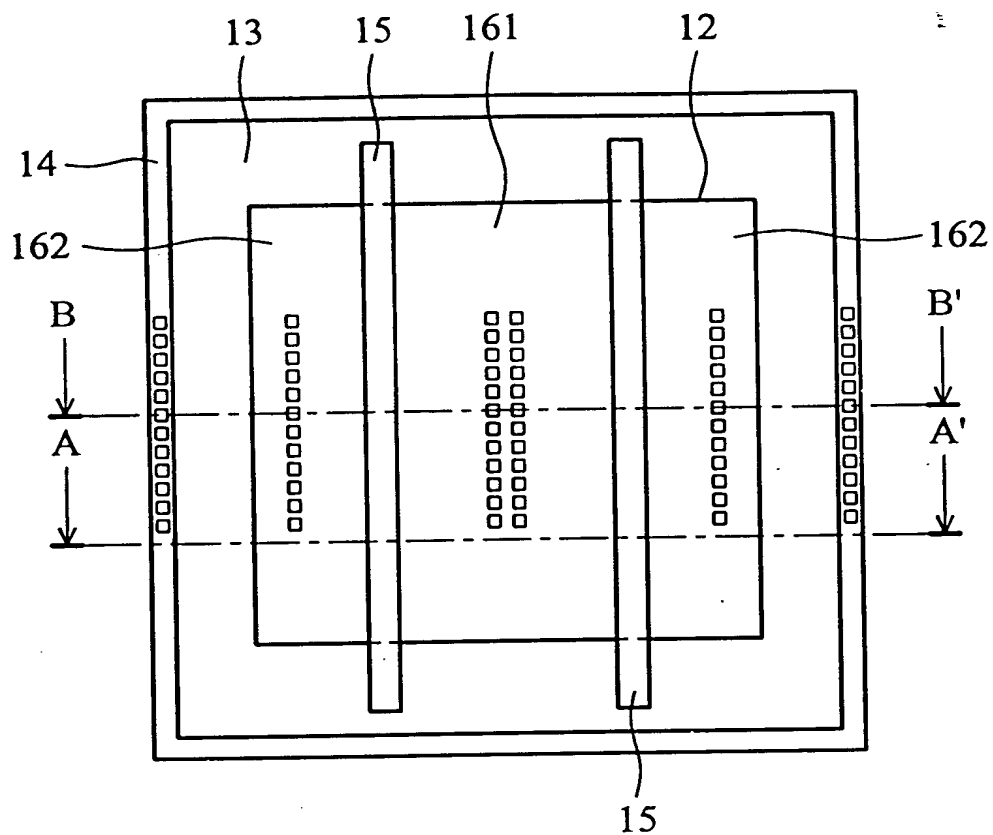


六、申請專利範圍

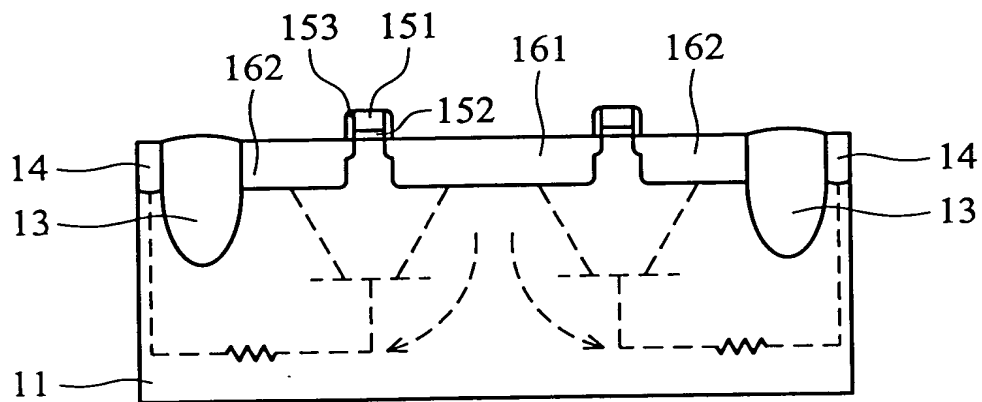
置，其中更包括一包圍該絕緣層之第四摻雜區。

93. 如申請專利範圍第92項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二、第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

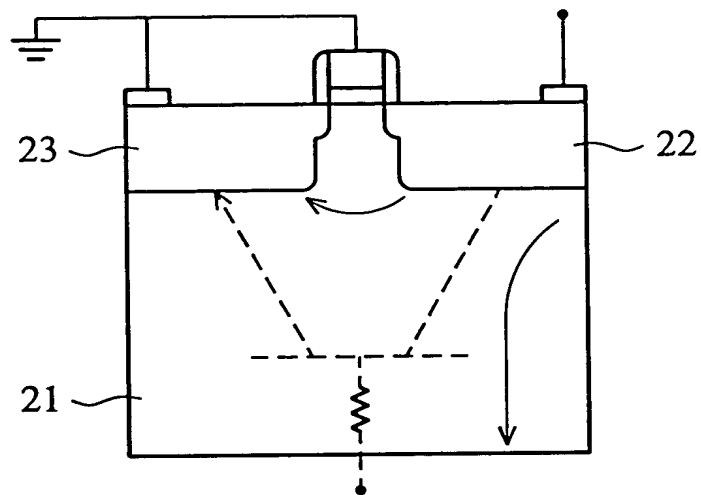




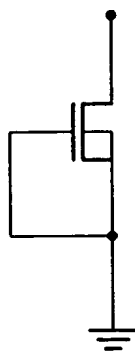
第 1A 圖



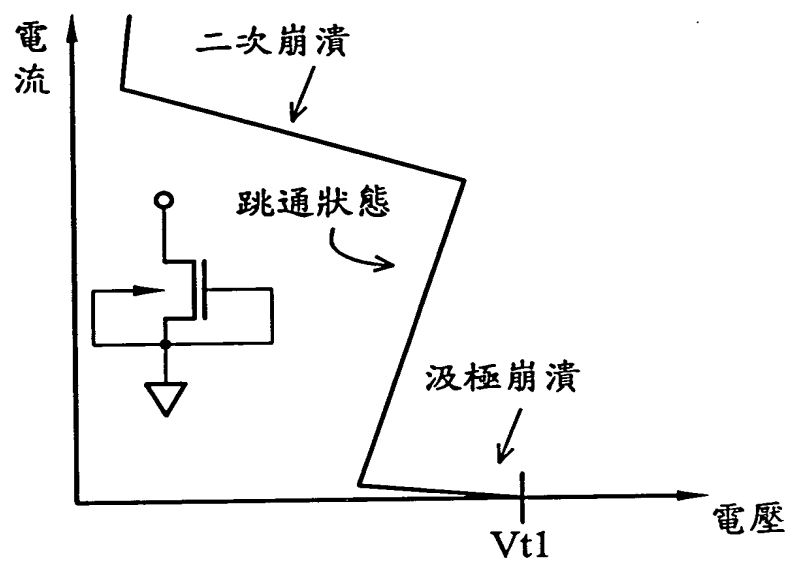
第 1B 圖



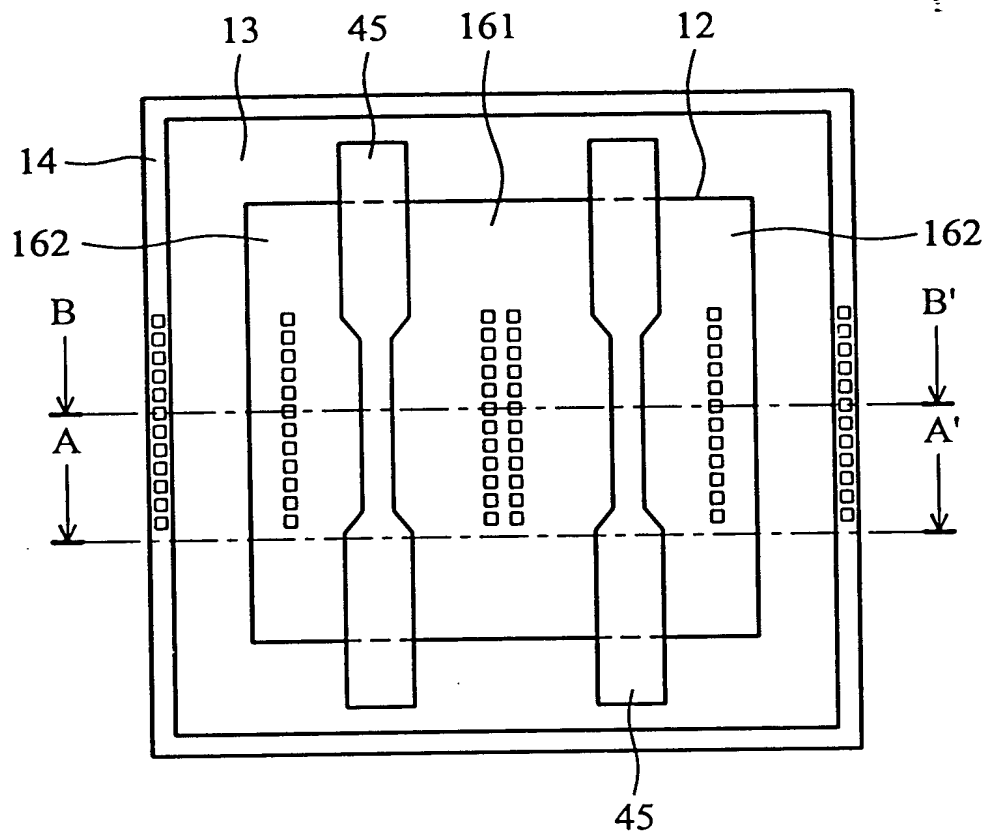
第 2A 圖



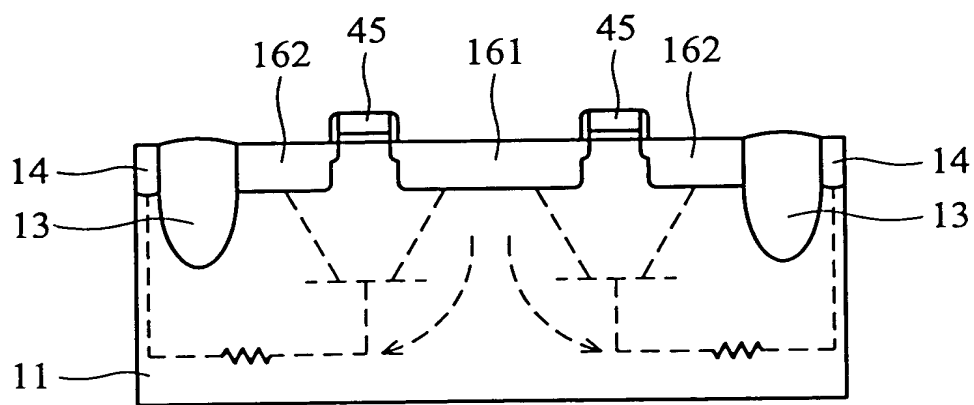
第 2B 圖



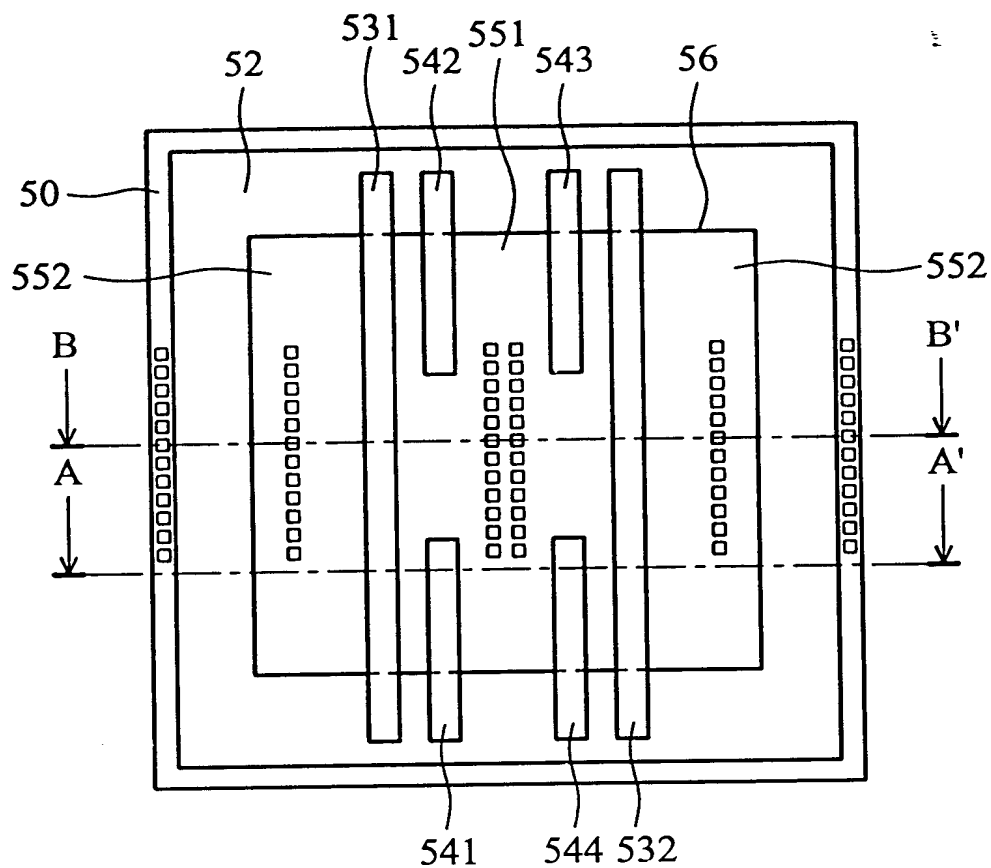
第 3 圖



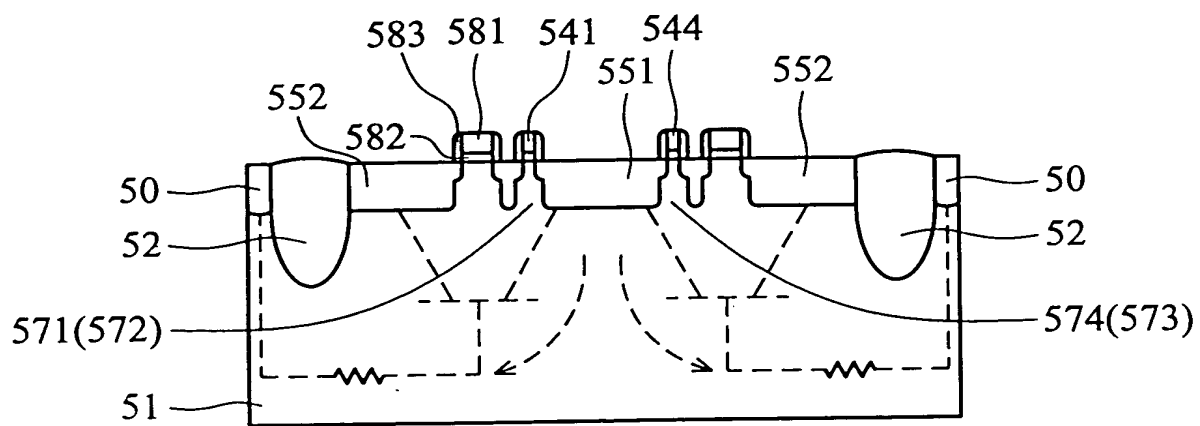
第4A圖



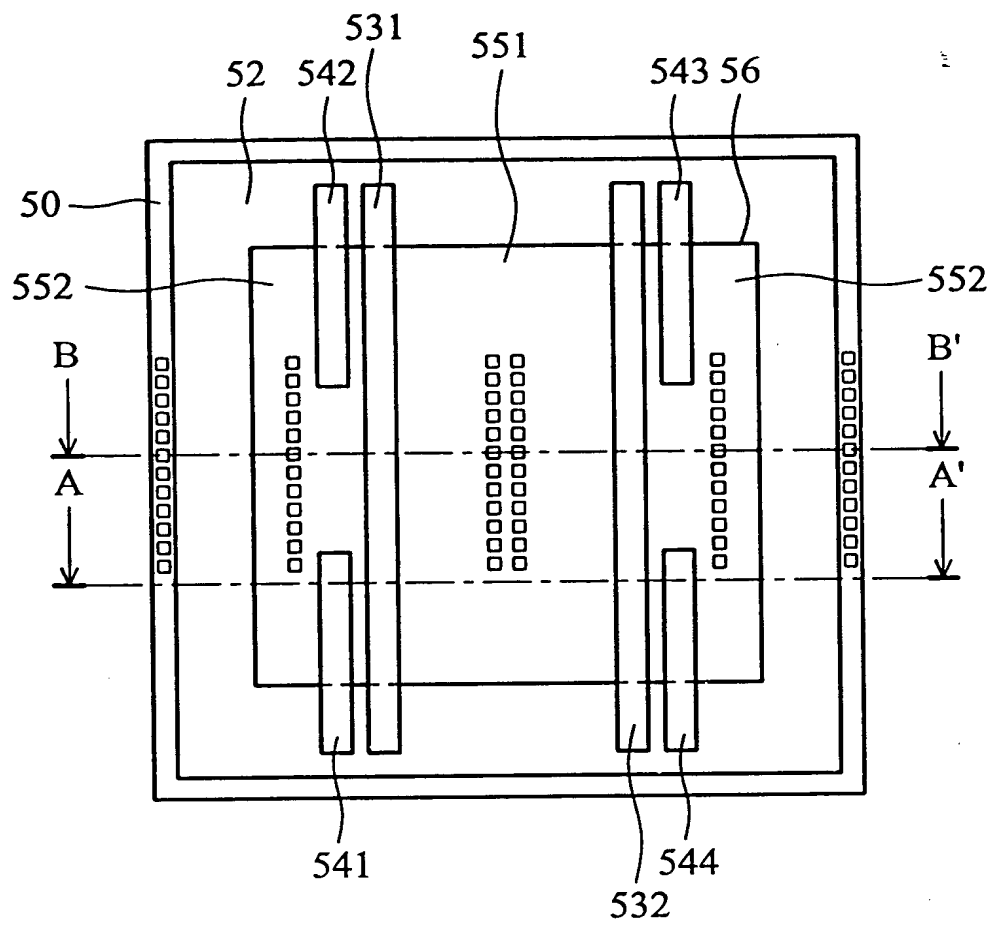
第4B圖



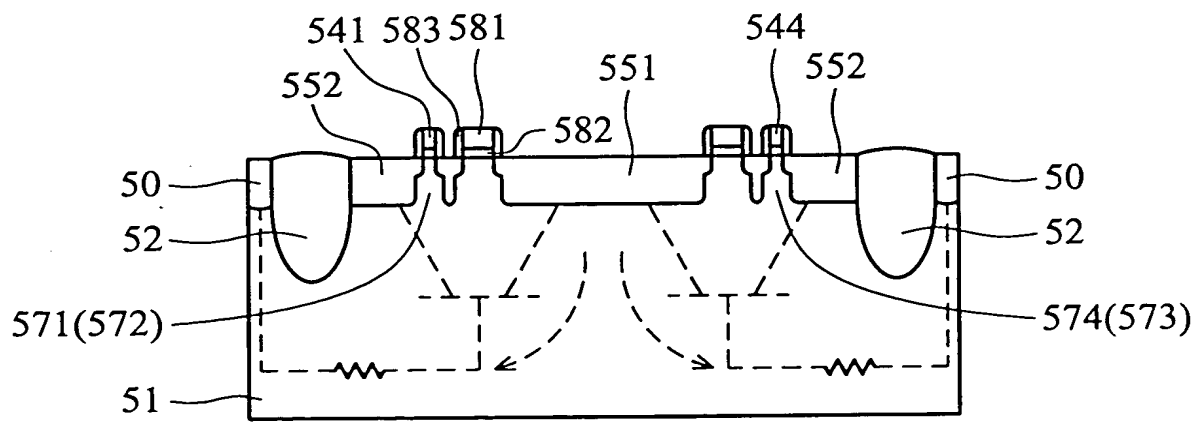
第5A圖



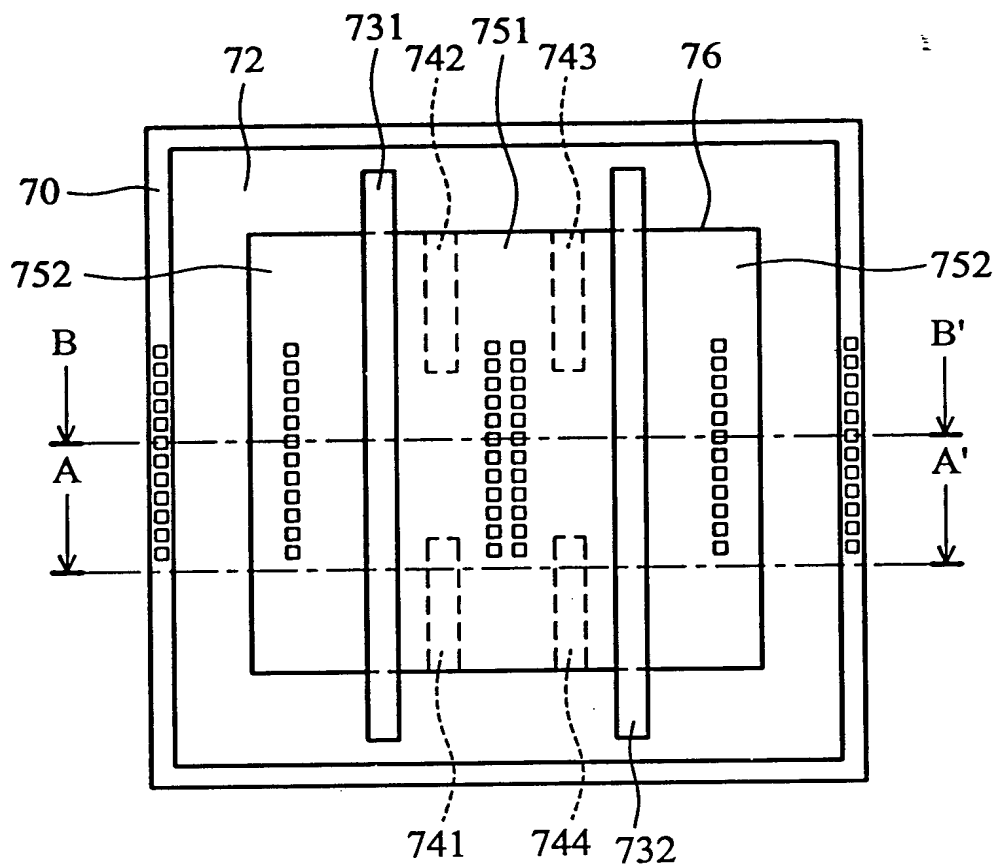
第5B圖



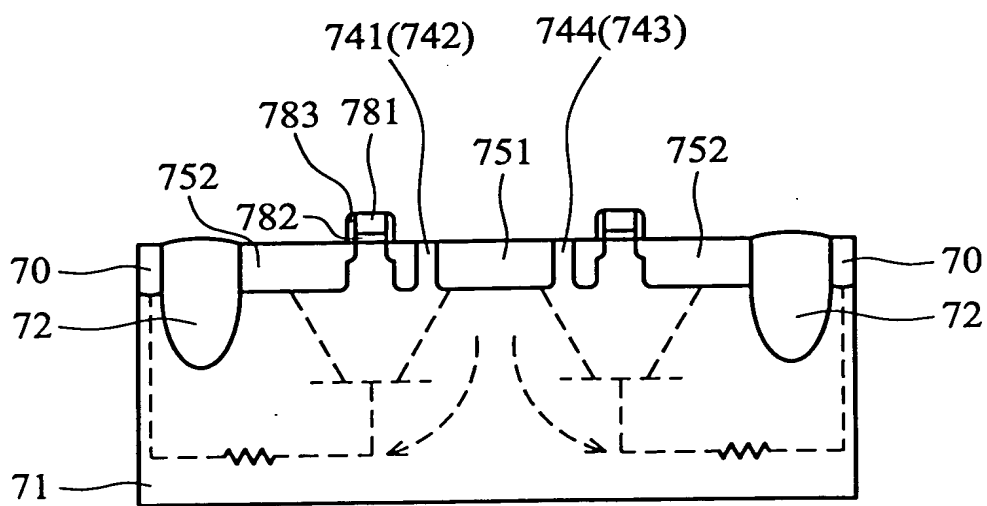
第 6A 圖



第 6B 圖

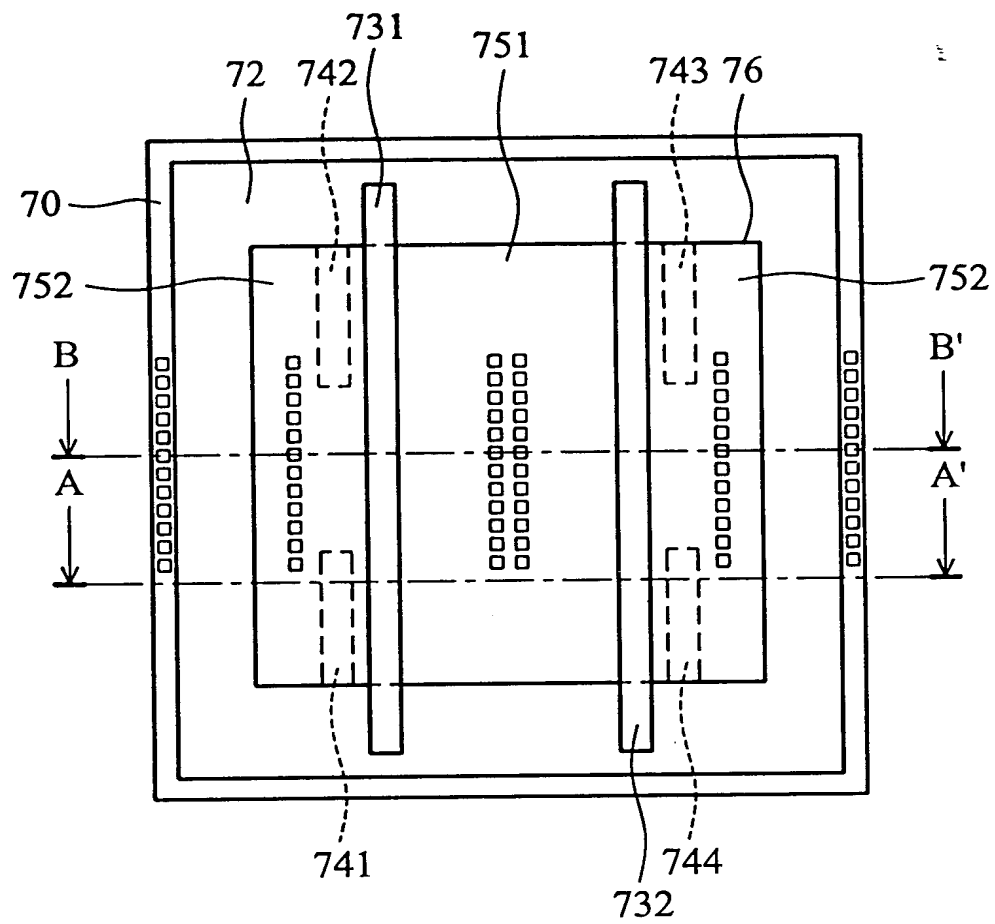


第7A圖

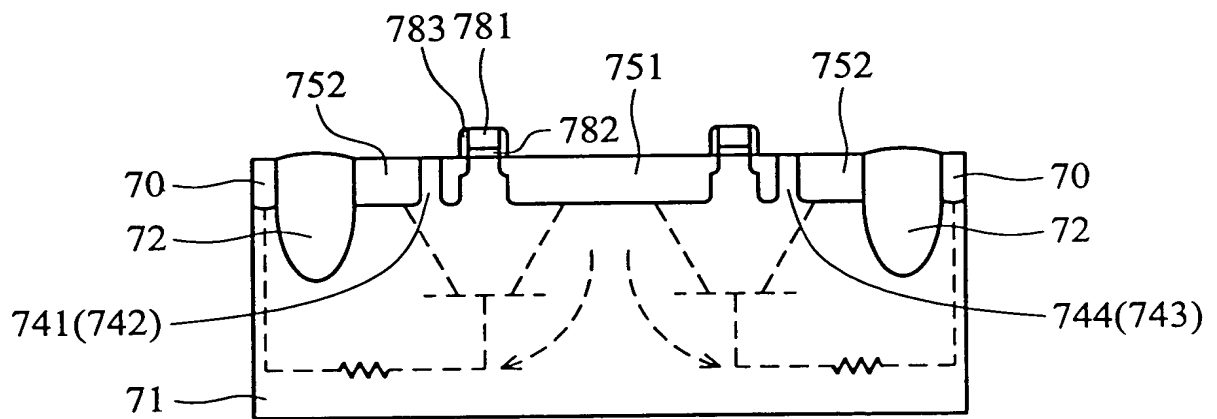


第7B圖

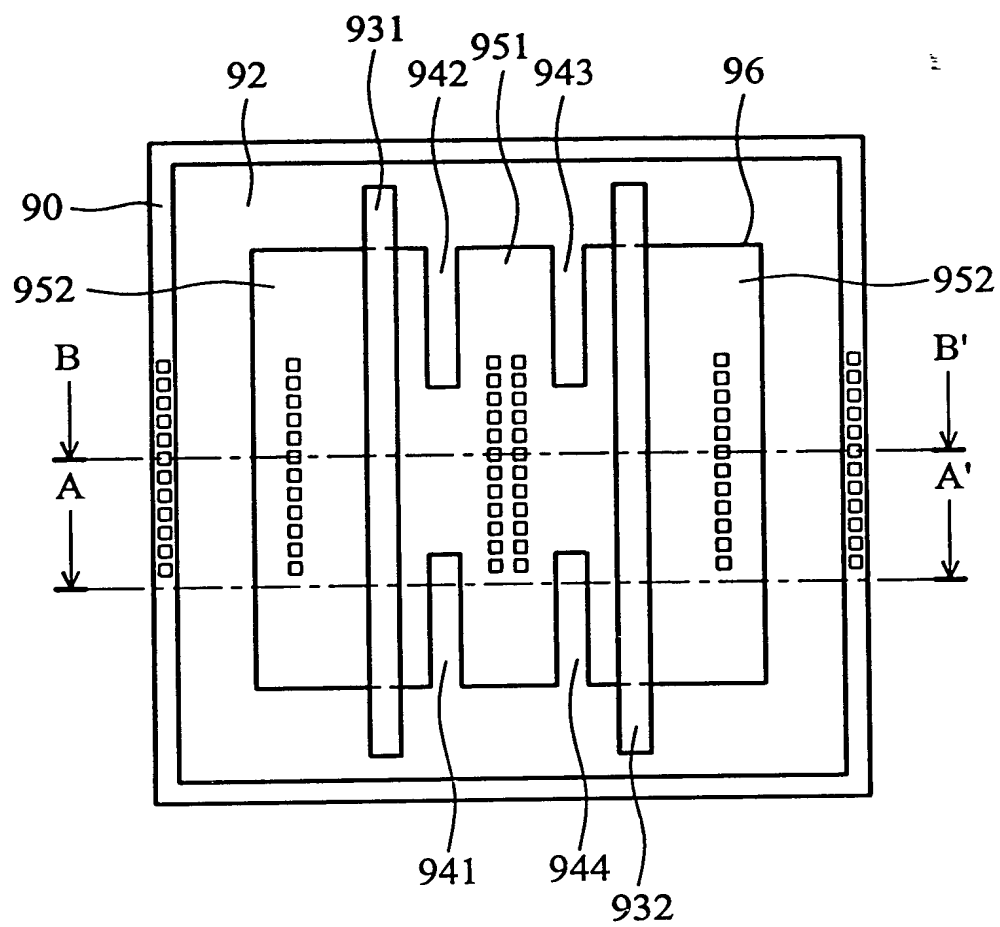




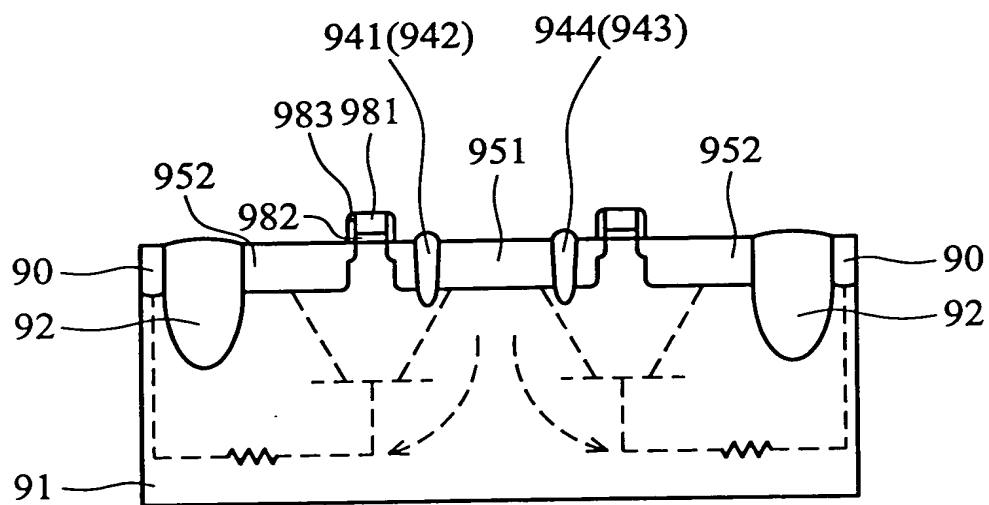
第8A圖



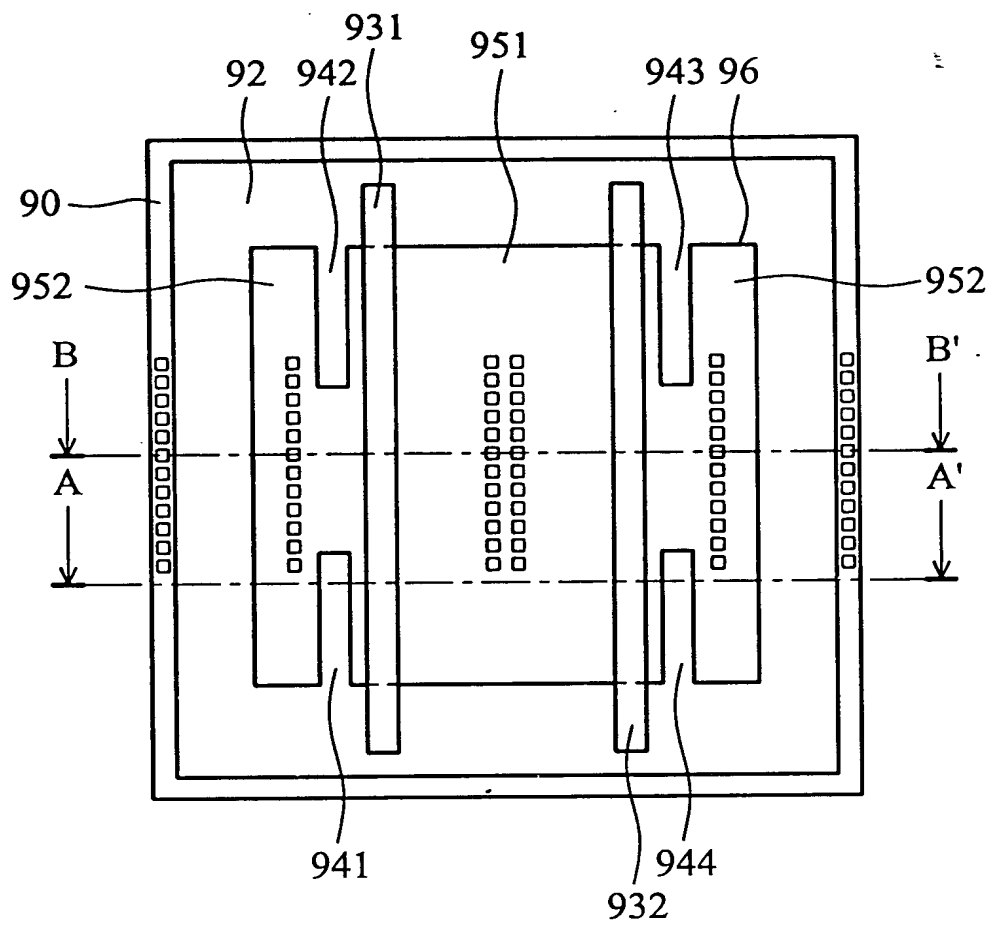
第8B圖



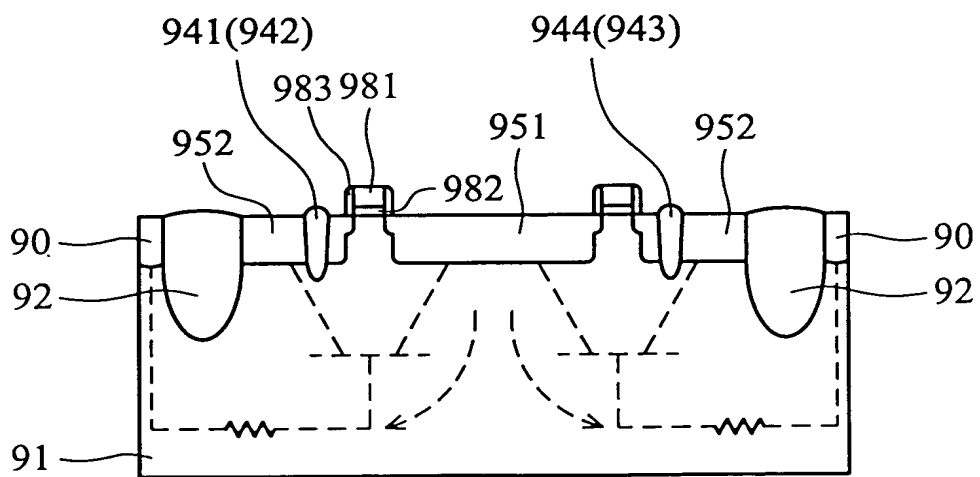
第9A圖



第9B圖

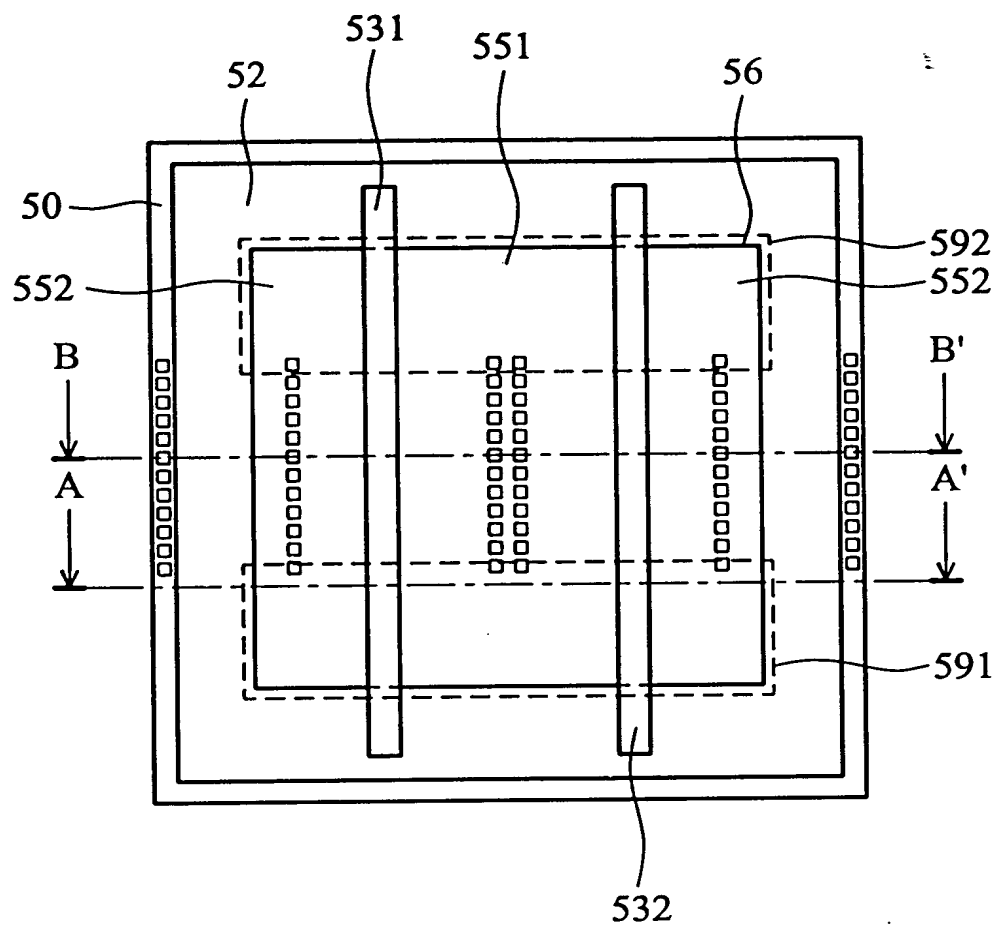


第10A圖

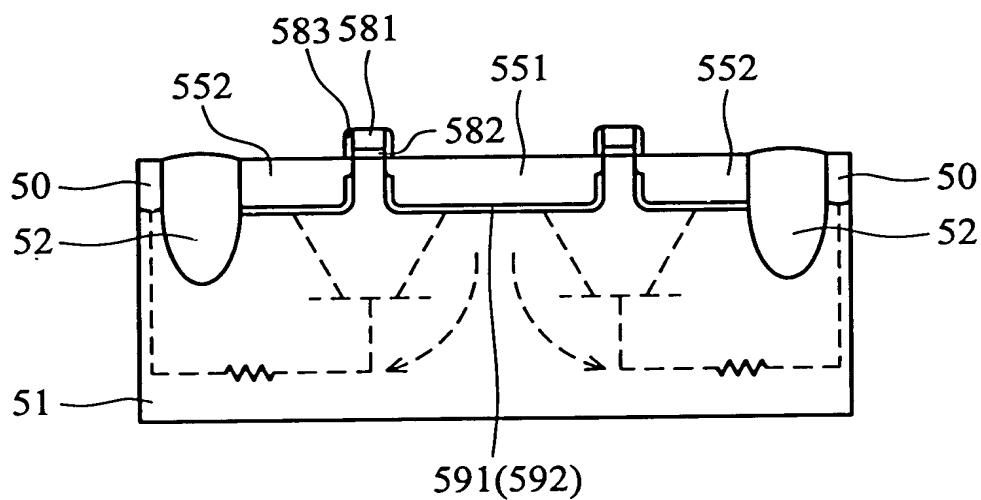


第10B圖

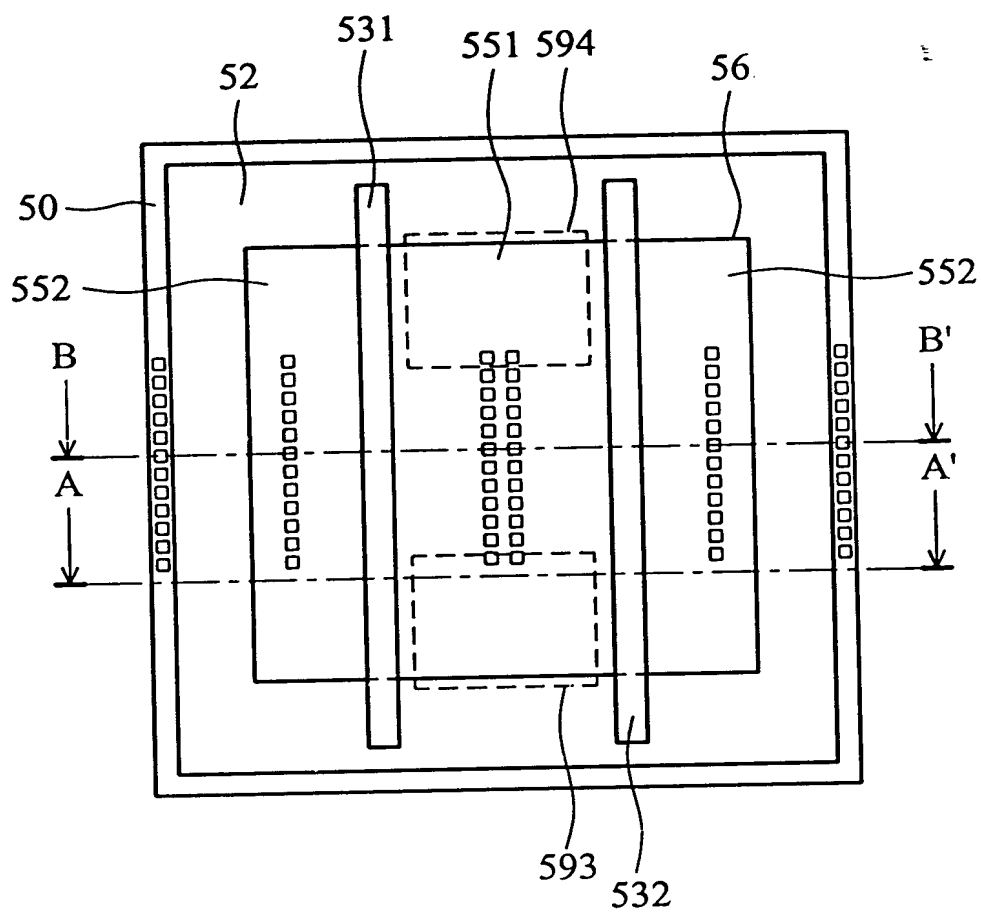




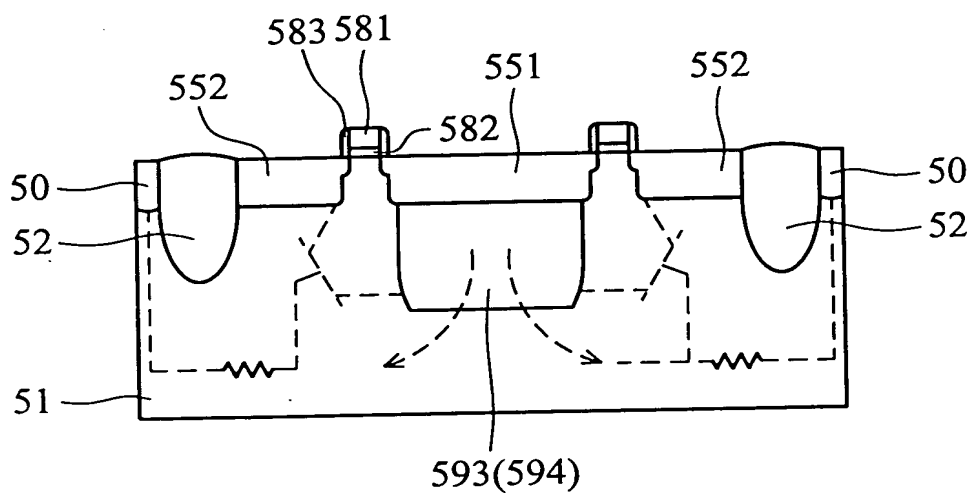
第12A圖



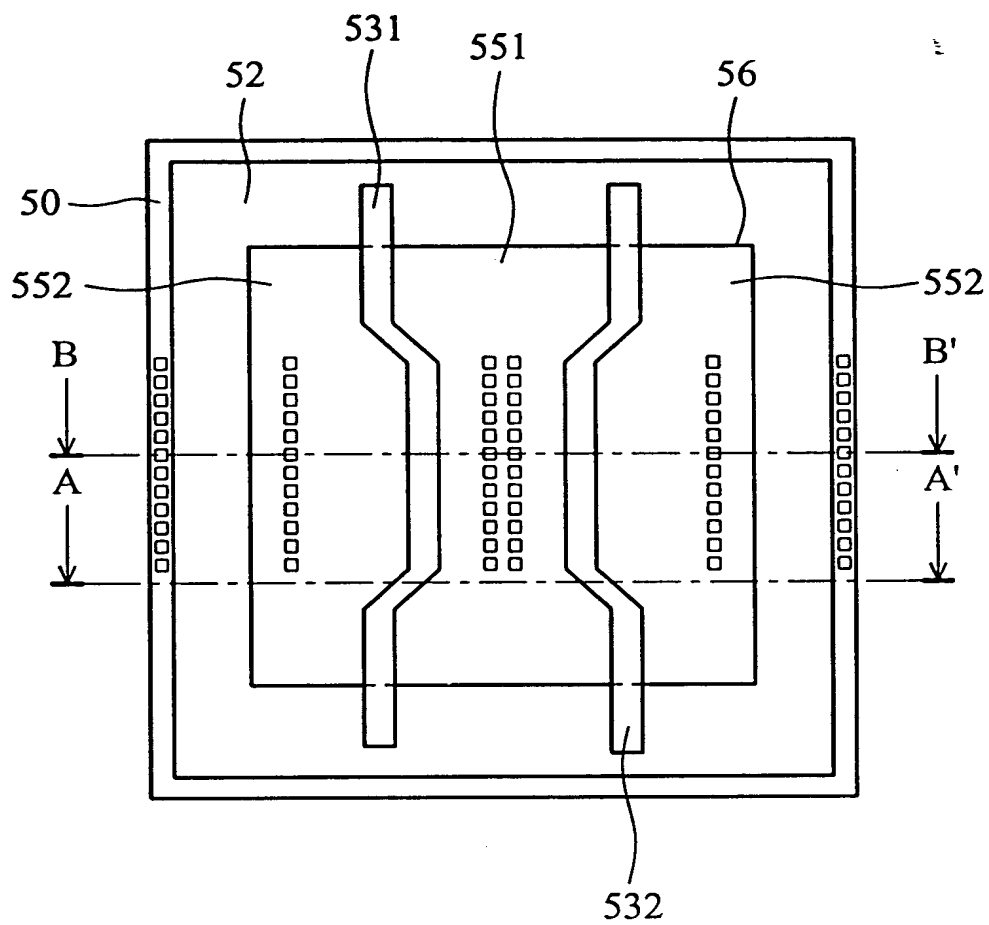
第12B圖



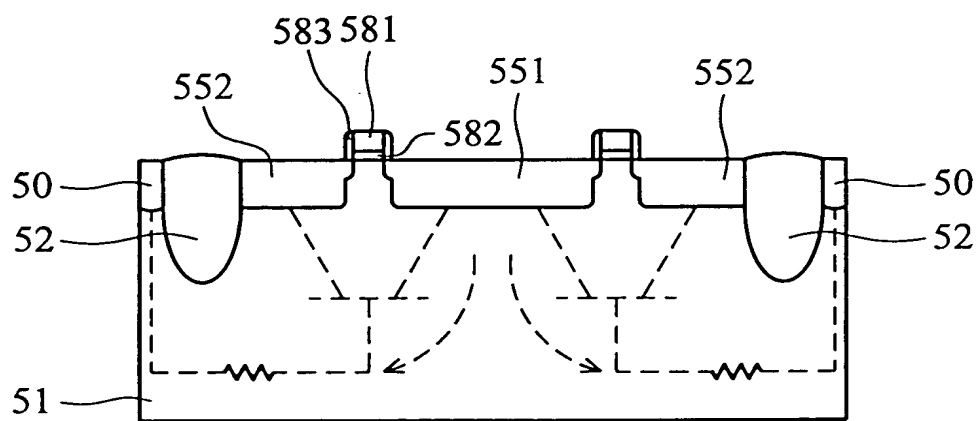
第13A圖



第13B圖

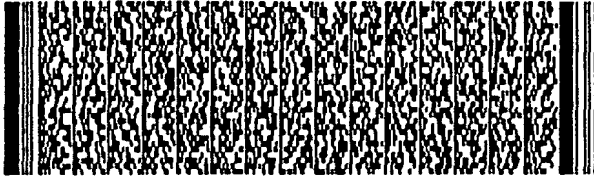


第14A圖

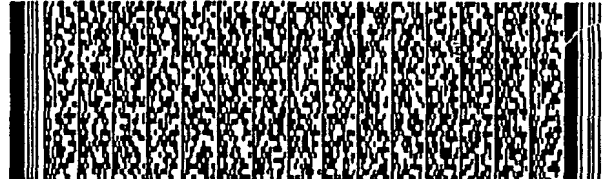


第14B圖

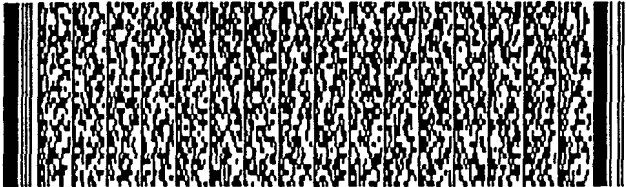
第 1/39 頁



第 2/39 頁



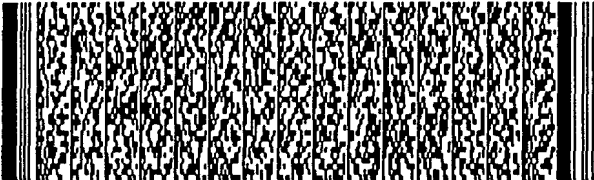
第 4/39 頁



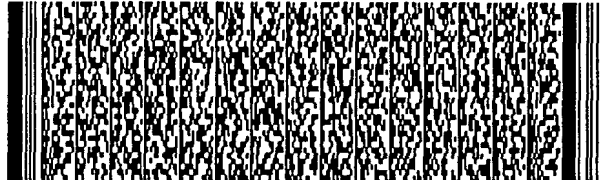
第 4/39 頁



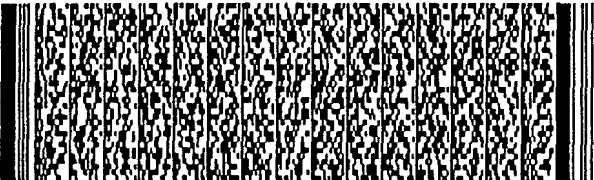
第 5/39 頁



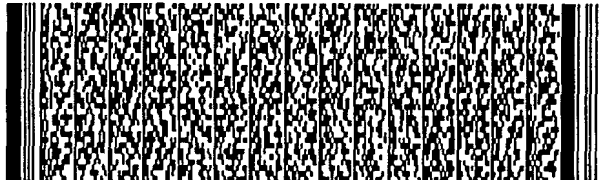
第 5/39 頁



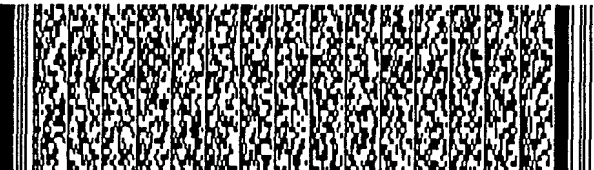
第 6/39 頁



第 6/39 頁



第 7/39 頁



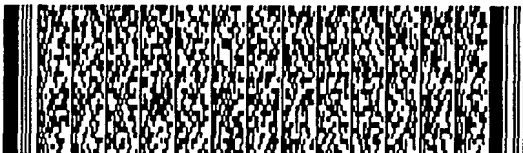
第 8/39 頁



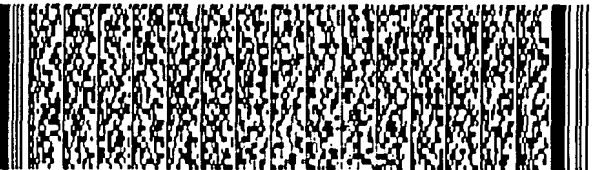
第 9/39 頁



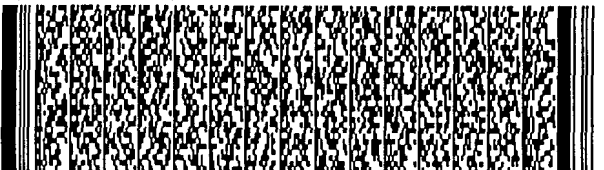
第 9/39 頁



第 10/39 頁



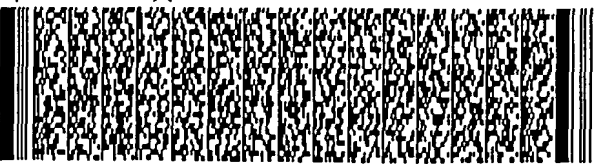
第 10/39 頁



第 11/39 頁

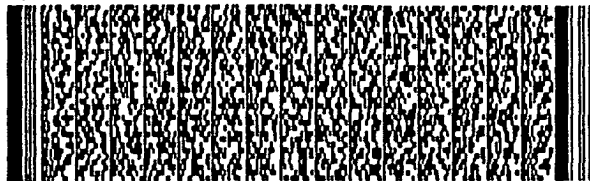


第 11/39 頁

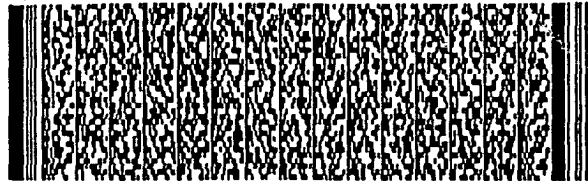




第 12/39 頁



第 12/39 頁



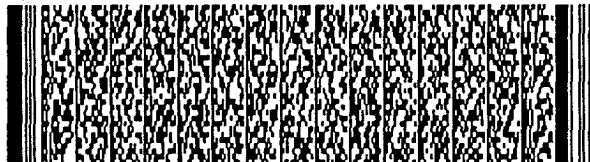
第 13/39 頁



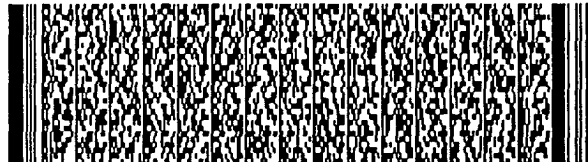
第 13/39 頁



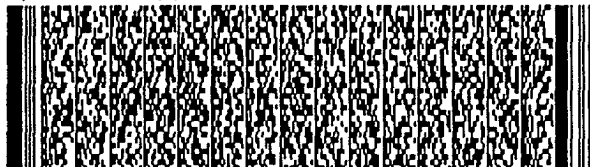
第 14/39 頁



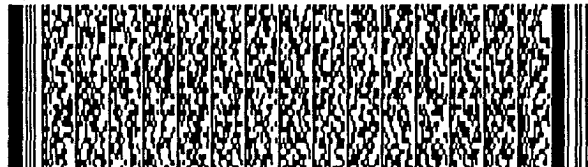
第 14/39 頁



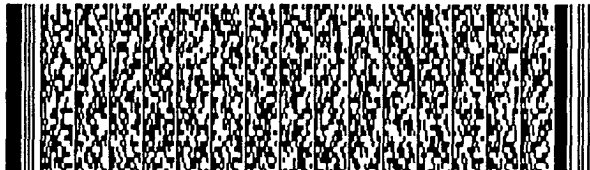
第 15/39 頁



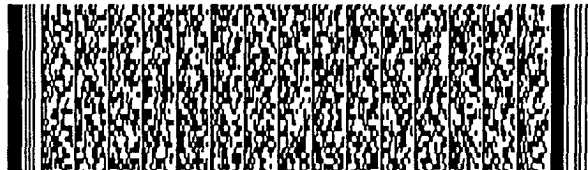
第 15/39 頁



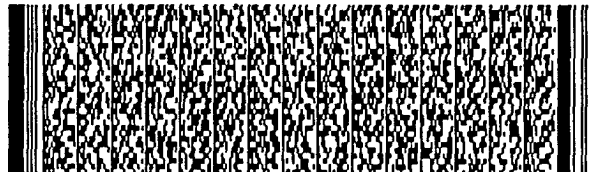
第 16/39 頁



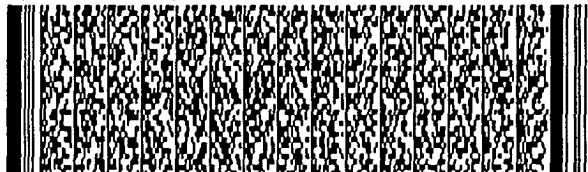
第 16/39 頁



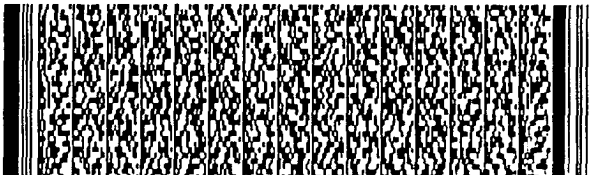
第 17/39 頁



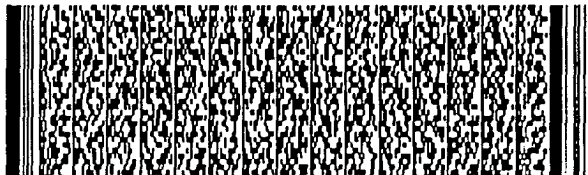
第 17/39 頁



第 18/39 頁



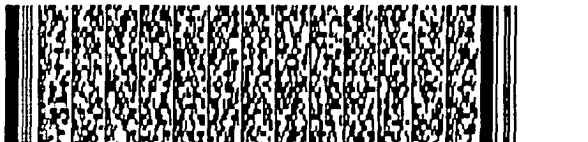
第 18/39 頁



第 19/39 頁



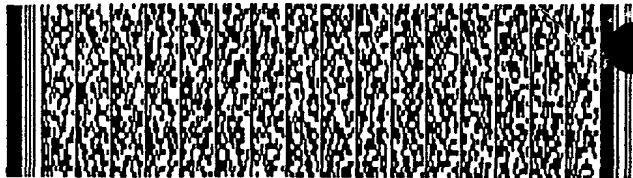
第 19/39 頁



第 20/39 頁



第 21/39 頁



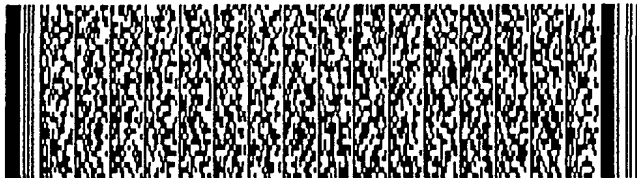
第 22/39 頁



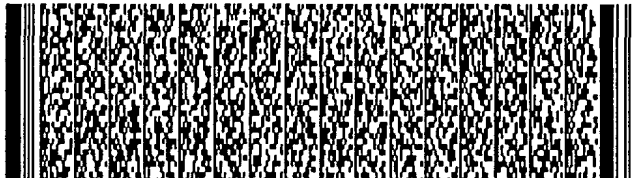
第 23/39 頁



第 24/39 頁



第 25/39 頁



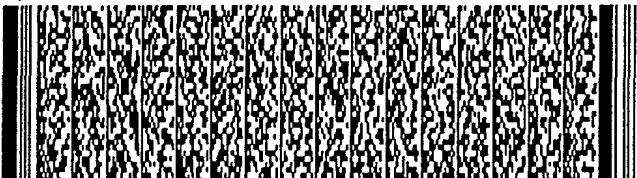
第 26/39 頁



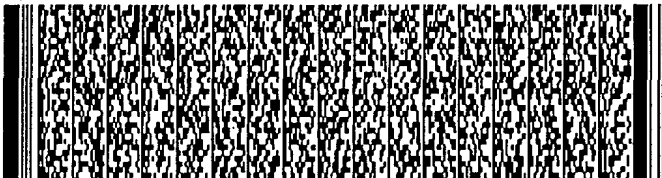
第 27/39 頁



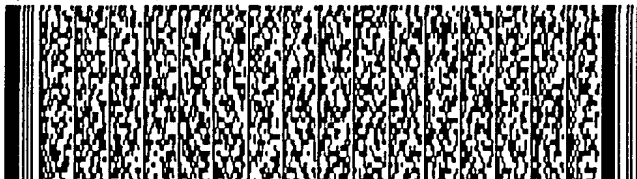
第 28/39 頁



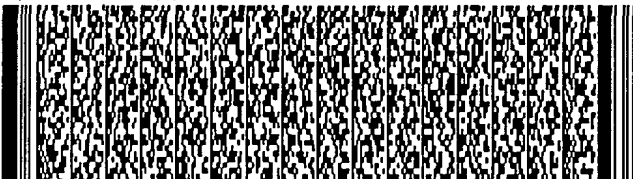
第 29/39 頁



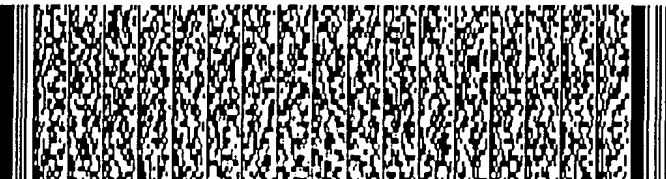
第 30/39 頁



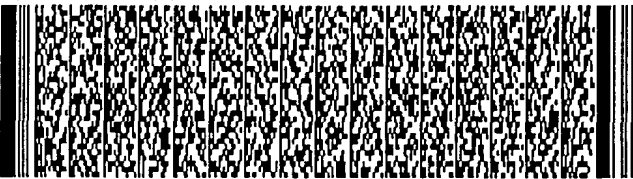
第 31/39 頁



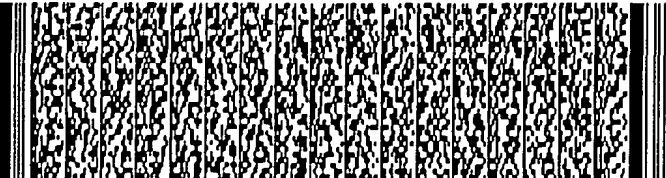
第 32/39 頁



第 33/39 頁



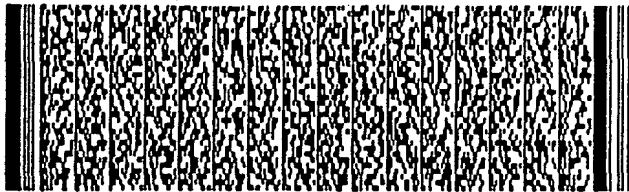
第 34/39 頁



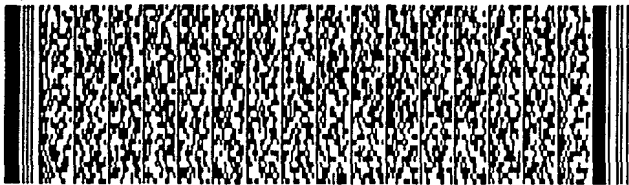
第 35/39 頁



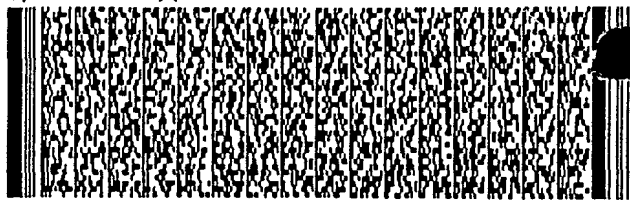
第 36/39 頁



第 38/39 頁



第 37/39 頁



第 39/39 頁

